

Methoden der Testvorbereitung zum IC-Entwurf

Michael H. Schulz,
Hans-Joachim Wunderlich

Neben dem eigentlichen Testen umfaßt eine Teststrategie die Auswahl eines geeigneten Fehlermodells, ein Verfahren für den prüfgerechten strukturierten Entwurf sowie die Testsatzerzeugung. Ziel dieser Prüfvorbereitung ist die Steigerung der Produktqualität sowie die Senkung der Testkosten bei integrierten Schaltungen.

Die Kostenfaktoren des Testens

Der Aufwand zur Testerzeugung und Testausführung wächst überproportional mit der Anzahl der in einem Chip integrierten Funktionen, so daß die Testkosten für anwendungsspezifische Schaltungen (ASIC) bereits heute zwischen 60 % und 70 % der Gesamtkosten liegen können [1].

Der unverhältnismäßig große Kostenanstieg für den Test hat mehrere Ursachen. Die Zugänglichkeit der in einer Schaltung realisierten Module verschlechtert sich, da bei steigender Integrationsdichte die Anzahl der außen verfügbaren Anschlüsse nicht in dem Maß vergrößert werden kann wie die Anzahl der realisierten Transistoren. Zum Erzeugen eines Testprogramms müssen Probleme von hoher Komplexität gelöst werden, deren Aufwand im schlimmsten Fall exponentiell und in der Praxis quadratisch bis kubisch mit der Schaltungsgröße wächst. Die Anzahl der Testmuster steigt in der Regel linear an, da die Muster jedoch wegen der erwähnten geringeren Zugänglichkeit zumeist seriell in die Schaltung eingegeben werden, kann die Testausführungszeit quadratisch zunehmen.

Fehlermodellierung und Fehleranalyse

Ausfallursachen, Defektmechanismen, die zu erwartenden Fehlfunktionen und damit auch die Testerzeugung sind in hohem Maße technologieabhängig. Mit empirisch gewonnenen Daten und mit analytischen Verfahren wird aus dem Layout einer Schaltung hergeleitet, mit welchen Defekten in der Schaltungsstruktur zu rechnen ist, wie häufig sie auftreten werden und zu welchen Fehlfunktionen sie im Schaltungsverhalten führen können [2, 3]. Diese werden in ein Fehlermodell aufgenommen, für das ein Testsatz zu erstellen ist.

In der Vergangenheit wurden zahlreiche realistische Fehlermodelle entwickelt. Neben dem klassischen, für bipolare Schaltungen adäquaten Haftfehlermodell werden in jüngster Zeit auch komplexere, besonders für MOS-Schaltungen typi-

sche Fehler wie Verzögerungs- und Übergangsfehler berücksichtigt. Da ein sehr komplexes Fehlverhalten die Testerzeugung erschwert, werden Entwurfsregeln untersucht, die dieses ausschließen oder zumindest unwahrscheinlich machen.

Bereits hier wird deutlich, daß während des Tests nicht die korrekte Schaltungsfunktion verifiziert werden kann, sondern daß nur nachgewiesen wird, daß keine der angenommenen Fehlfunktionen vorliegt.

Teststrategien

Eine Schaltung muß um so genauer geprüft werden, je unzuverlässiger der Produktionsprozeß und je geringer die Ausbeute ist. Zu diesem Zweck kann der Entwerfer unter zahlreichen Teststrategien auswählen. Unter einer Teststrategie versteht man sowohl ein Verfahren zur Testmustererzeugung und zur Testausführung zusammen mit den Entwurfsmaßnahmen, die bei der Anwendung dieser Verfahren vorausgesetzt werden müssen, als auch das Fehlermodell. Eine erste Einteilung unterscheidet Strategien zur Unterstützung des externen Tests und Methoden des Selbsttests.

Beim externen Test werden zuvor bestimmte, auf ein Fehlermodell zugeschnittene Bitmuster mit Testautomaten an den Chip angelegt und die Antworten ausgewertet. In der Regel hängen der Aufwand zur Bestimmung der Testmuster und das hierfür geeignete Verfahren davon ab, inwieweit bereits beim Entwurf entsprechende Vorbereitungen getroffen wurden. Solche Vorbereitungen sind beispielsweise die Integration eines Prüfpfads. Bei diesem sogenannten „Scan Design“ werden alle Speicherelemente der Schaltung zu einem Schieberegister zusammengefaßt und während des Tests direkt zugänglich gemacht. Das Scan-Design ist zur Unterstützung des externen Tests gedacht, wobei im Testbetrieb der Prüfautomat die Muster in den Prüfpfad einschiebt und die Antworten des Schaltnetzes auf dieses Mu-



Dr. Ing. Michael H. Schulz (30), ITG, leitete bis vor kurzem am Lehrstuhl für Rechnergestütztes Entwerfen der TU München eine Forschungsgruppe, die sich mit Themen der Testvorbereitung befaßt. Er studierte Elektrotechnik, Fachgebiet Datenverarbeitung, an der TU München, wo er 1988 über Methoden der Testmustererzeugung und Fehlersimulation promovierte. Seit 1984 war er Wissenschaftlicher Mitarbeiter am Lehrstuhl für Rechnergestütztes Entwerfen der TU München. Dr. Schulz ist Leiter der ITG-Fachgruppe „Testmethoden und Zuverlässigkeit von Schaltungen und Systemen“ und Mitglied im Leitungsgremium der gleichnamigen ITG/GI-Fachgruppe. (Siemens AG, DI AP 223, PF 70 00 79, 8000 München 70, T 0 89/41 11-26 70)



Dr. rer. nat. Hans-Joachim Wunderlich (36) ist wissenschaftlicher Angestellter an der Universität Karlsruhe, wo er sich seit 1983 am Institut für Rechnerentwurf und Fehlertoleranz mit dem rechnergestützten Entwurf und Test hochintegrierter Schaltungen befaßt. Er studierte Mathematik mit Nebenfach Philosophie an den Universitäten Konstanz und Freiburg und promovierte 1986 über probabilistische Verfahren zur Verbesserung der Testbarkeit; seitdem leitet er eine Forschungsgruppe über kostengünstige Teststrategien im automatischen IC-Entwurf. Er ist Mitglied des Leitungsgremiums der ITG/GI-Fachgruppe „Testmethoden und Zuverlässigkeit von Schaltungen und Systemen“. (Universität Karlsruhe, Institut für Rechnerentwurf, PF 69 80, 7500 Karlsruhe 1, T 07 21/6 08-42 57)

ster wiederum parallel in das Register geladen und herausgeschoben werden, **Bild 1.** Bei Anwendung des Scan-Designs genügt es bekanntlich, Algorithmen zur Testsatzerzeugung und -bewertung für Schaltnetze zu entwickeln.

Die weitestgehenden Entwurfsmaßnahmen schließen einen Selbsttest der Schaltungen ein, so daß die Schaltung nur noch zu initialisieren ist, sich im autonomen Betrieb eine gewisse Zeit lang selbst prüft und anschließend mit einer Statusmeldung anzeigt, ob der Test fehlerfrei abgeschlossen wurde. Bei den meisten Selbsttestverfahren werden in der Schaltung vorhandene Register so ergänzt, daß sie als multifunktionale Schieberegister im Testbetrieb die Prüfmuster erzeugen und auswerten können, sich initialisieren lassen und natürlich auch die normale Systemfunktion erfüllen.

Zwischen dem externen Test und dem Selbsttest gibt es Abstufungen, bei denen auf teure Prüfautomaten verzichtet und zugleich die Zusatzkosten für den Selbsttest reduziert werden können, indem ein Teil der Selbsttestausstattung nach außen verlagert und günstig als Spezialschaltung realisiert wird.

Zahlreiche, im wesentlichen wirtschaftliche Kriterien bestimmen die Auswahl einer geeigneten Teststrategie. Neben der erwarteten Ausbeute beeinflußt der Anwendungsbereich einer Schaltung die geforderte Güte und damit auch den Umfang des Tests. Dies betrifft nicht nur die Testerzeugung, sondern auch die Verfahren des prüfgerechten Entwurfs, da in vielen Fällen ein Erkennen aller angenommenen Fehler nur durch Schaltungsmodifikationen erreicht werden kann. Die Einteilung der gebräuchlichsten Teststrategien zeigt **Bild 2.**

Einfluß auf die Auswahl der Teststrategien hat auch die geplante Auflage, da Zusatzausstattungen bei jeder produzierten Schaltung Fläche einnehmen und damit Kosten verursachen. Während Entwurf und Testerzeugung bei einer großen Anzahl produzierter Chips von den Kosten her geringer ins Gewicht fallen, lohnt sich ein einmaliger hoher Aufwand gerade für anwendungsspezifische Schaltungen in kleinen und mittleren Auflagen nicht, so daß dann günstiger Selbstteststrategien implementiert und keine teuren Testautomaten benutzt werden.

Der Test mit Zufallsmustern

Sowohl der Selbsttest mit multifunktionalen Schieberegistern als auch der externe Test mit Spezialhardware lassen sich am einfachsten mit Pseudozufallsmustern ausführen [4]. Hierfür ist die Anzahl der Muster zu bestimmen, auf welche die Schaltung korrekt antworten

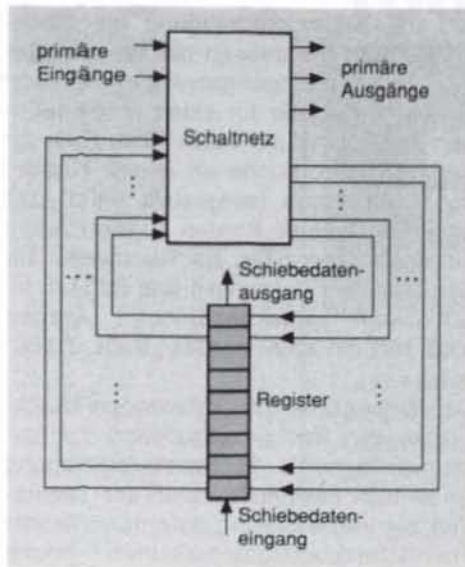


Bild 1. Prinzip des Scan-Designs

muß, damit Fehlerfreiheit mit einer ausreichend hohen Wahrscheinlichkeit angenommen werden kann. Diese notwendige Testlänge hängt von den Wahrscheinlichkeiten ab, mit denen Fehler des Fehlermodells von zufällig erzeugten Mustern erkannt werden. Da auch die Bestimmung von Fehlererkennungswahrscheinlichkeiten ein Problem mit sehr hoher Komplexität darstellt, muß auf Appro-

ximationsverfahren zurückgegriffen werden.

Darüber hinaus gibt es zahlreiche Schaltungen, die sich als resistent gegenüber gleichverteilten Zufallsmustern erwiesen haben und die aus diesem Grund eine unwirtschaftlich lange Folge von Zufallsmustern benötigen. Die Testmenge für derartige Schaltungen kann entscheidend reduziert werden, wenn ungleich verteilte Zufallsmuster erzeugt werden und infolgedessen jeden Eingang der Schaltung mit einer für ihn spezifischen, optimalen Wahrscheinlichkeit auf 1 setzen. Entsprechende Optimierverfahren wie *Protest* finden sich in der Literatur [5, 6].

Fehlersimulation

Ein entwickelter Testsatz und Zufallstests müssen validiert werden, indem mit Hilfe einer Fehlersimulation bestimmt wird, welche Fehler des gewählten Modells erkannt werden. Dies ist ein sehr rechenzeitaufwendiger Schritt im Schaltungsentwurf. Das ursprüngliche Verfahren der parallelen Fehlersimulation ist mittlerweile weitgehend von der deduktiven und von der „Concurrent“-Fehlersimulation abgelöst worden. Bei der parallelen Simulation wird die Wortbreite *w* des Rechners genutzt, um gleichzeitig die fehlerfreie Schaltung und an den rest-

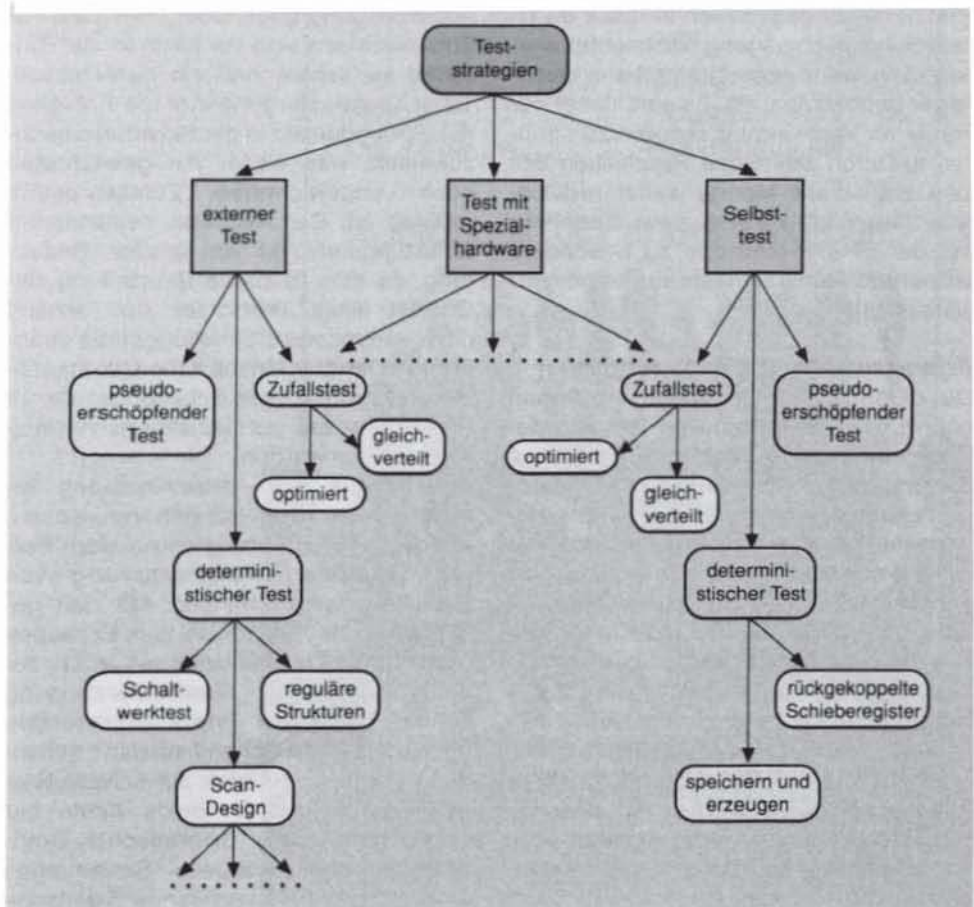


Bild 2. Teststrategien

lichen Bits das Verhalten von $w-1$ Fehlern zu simulieren. Das Verfahren verliert an Effizienz, wenn im Verlauf der Simulation nur wenige Fehler zu abweichendem Verhalten führen und so große Teile des Rechnerworts keine Information tragen. Die Methoden der deduktiven „Concurrent“-Fehlersimulation bestimmen hingegen für jeden Schaltknoten stets die Liste aller Fehler, die dort zu einem abweichendem Verhalten führen. Um Größenordnungen effizientere Algorithmen sind möglich, wenn das Zeitverhalten einer Schaltung nicht berücksichtigt werden muß und nur ein Schaltnetz zu simulieren ist. Dies ist beispielsweise beim Einbau eines Prüfpfads oder von Selbsttestregistern der Fall. Bei dem PPSFP-Verfahren (Parallel Pattern Single Fault Propagation [7]) werden nicht unterschiedliche Fehler, sondern unterschiedliche Muster in einem Maschinenwort W der Breite w gleichzeitig simuliert und die von ihnen erkannten Fehler ermittelt. Dies erlaubt eine wesentlich günstigere Nutzung der auf Universalrechnern gegebenen Parallelverarbeitungsmöglichkeiten für die Fehlersimulation. Andere Verfahren analysieren die Schaltungsstruktur, um die Anzahl der Fehler, die explizit simuliert werden müssen, zu reduzieren. Für Knoten des Schaltnetzes, an denen sich der Signalweg nicht verzweigt, kann mit geringem Aufwand bestimmt werden, ob sein logisches Signal bei einer gegebenen Eingabe an einem Schaltnetzausgang beobachtet werden kann, wenn sein unmittelbarer Nachfolger beobachtbar ist. Es sind daher nur Fehler an Verzweigungsknoten zu simulieren. Durch zahlreiche Heuristiken läßt sich auch diese Menge weiter reduzieren. Schließlich können diese Verfahren mit der PPSFP-Methode zu besonders effizienten Fehlersimulatoren kombiniert werden [8].

Deterministische Testsatzerzeugung

Die deterministische Testsatzerzeugung gehört wie viele andere im Rahmen der Prüfvorbereitung auftretende Aufgabenstellung zu einer Problemklasse, bei deren Lösung nur Algorithmen mit exponentiellem Zeitaufwand bekannt sind. Beruhend auf dem von Roth erstmals 1966 vorgestellten D-Algorithmus wurden im vergangenen Jahrzehnt jedoch zahlreiche Methoden und Heuristiken entwickelt, die zu einer wesentlichen Steigerung der Leistungsfähigkeit deterministischer Testsatzerzeugungsalgorithmen geführt haben. Stellvertretend für diese neue Generation von effizienten deterministischen Testsatzerzeugungsverfahren für Schaltnetze seien hier der Fan-Algorithmus [9] und das automatische Testmustererzeugungssystem Socrates [10] erwähnt. Diese Verfahren organisie-

ren die Testmusterzeugung als Suchbaum, mit Hilfe dessen die Menge aller existierenden Eingangsbelegungen nach einem Testmuster für einen vorgegebenen Zielfehler durchsucht wird. Falls im Verlauf dieser Suche an einem Knoten des Suchbaums festgestellt wird, daß keine der diesem Knoten zugeordneten Eingangsbelegungen ein Testmuster für den Zielfehler dargestellt und folglich im Suchbaum zurückgesprungen werden muß, tritt ein sogenanntes „Back-Track“ auf.

Da die Anzahl der anfallenden Back-Tracks den Rechenzeitaufwand zur deterministischen Testmustererzeugung wesentlich beeinflusst, zielen alle Methoden zur Verbesserung deterministischer Testsatzerzeugungsalgorithmen primär darauf, die Suche möglichst ohne Rücksprung zum Erfolg, d. h. zum Auffinden eines Testmusters für den Zielfehler, zu führen. Von zentraler Bedeutung sind in diesem Zusammenhang leistungsfähige Prozeduren zur Ausführung von Implikationen und zwingend notwendiger Sensibilisierungsmaßnahmen sowie intelligente Heuristiken zur Steuerung des bei der Suche zu vollziehenden Entscheidungsprozesses. Eine weitere Effizienzsteigerung ermöglichen Techniken, die auch in anderen Bereichen wie z. B. der Künstlichen Intelligenz (KI) Verwendung finden [10, 11].

Die Vorteile der deterministischen Testsatzerzeugung gegenüber dem Test mit Zufallsmustern sind vor allem in der Tatsache zu sehen, daß ein deterministischer Testmustererzeuger die Fähigkeit hat, Redundanzen in der Schaltung nachzuweisen, was weder mit gewichteten noch ungewichteten Zufallsmustern möglich ist. Der Nachweis redundanter Schaltungsteile ist von großer Bedeutung, da eine fundierte Beurteilung der Qualität eines Testsatzes nur anhand nicht redundanter Schaltungsteile möglich ist. Darüber hinaus kann die Identifizierung redundanter Schaltungsteile im Entwurfsprozeß zur Schaltungsminimierung genutzt werden.

Andererseits sind deterministisch erzeugte Testmuster mit höheren Kosten bei der Testausführung sowie dem Entwurf und der Implementierung von Selbsttestlogik verbunden. Mit den genannten Verfahren sowohl zum Erzeugen gewichteter Zufallsmuster als auch zur deterministischen Testsatzerzeugung können die in der Praxis auftretenden Schaltnetze ausreichend effizient behandelt werden. Im Hinblick auf Schaltwerke existieren jedoch für beide Arten der Testsatzerzeugung theoretische Grenzen, da rückgekoppelte Schaltungen eine exponentiell wachsende Testlänge benötigen können und somit mit keinem Verfahren die Erstellung eines Testsat-

zes in praktikabler und akzeptabler Rechenzeit garantiert werden kann.

Pseudo-erschöpfende Testmengen

Eine höhere Fehlererfassung als der deterministische Test garantiert der pseudo-erschöpfende Test, bei dem die Funktion eines jeden Schaltungsausgangs vollständig geprüft wird. Während für die Gesamtschaltung ein erschöpfender Test aus Aufwandgründen zumeist ausgeschlossen ist, hängt ein einzelner Ausgang zumeist nur von einer kleinen Menge der primären Eingänge ab und kann daher erschöpfend geprüft werden. Falls ein Ausgang dennoch von zu vielen Primäreingängen abhängt und der pseudo-erschöpfende Test für diesen Ausgang somit nicht wirtschaftlich ist, muß der Entwurf segmentiert werden. Hierfür stehen zwei grundlegende Ansätze zur Verfügung. Bei der Segmentierung durch Pfadsensibilisierung werden deterministisch Testmuster erzeugt, die Pfade zu einer hinreichend kleinen Teilstruktur aktivieren und den pseudo-erschöpfenden Test dadurch ermöglichen. Die Hardware-Segmentierung hingegen zerlegt die Schaltung logisch durch den Einbau von Zusatzzellen. Die klassische Methode hierfür sind Multiplexer. Eine weitere Möglichkeit der Hardware-Segmentierung besteht in der Integration zusätzlicher „Zwischenspeicher“, die im Systembetrieb transparent geschaltet werden und während des Tests als Teil des Prüfpfads zusätzliche Ein- und Ausgänge bilden.

Aktuelle Entwicklungen

Gegenwärtige Forschungsarbeiten konzentrieren sich darauf, die Effizienz der Verfahren zur Testsatzerzeugung und -bewertung vor allem für sequentielle Schaltungen zu verbessern, komplexere und realitätsnähere Fehlermodelle zu berücksichtigen und Verfahren zu entwickeln, die möglichst wenig Zusatzausstattung auf der Schaltung benötigen. Des Weiteren wird versucht, der wachsenden Schaltungs- und damit Problemkomplexität durch die Verwendung von Spezialrechnerarchitekturen (Vektorprozessoren, Parallelprozessoren, dedizierte Hardware-Beschleuniger) Herr zu werden und eine Verbesserung der Qualität der Problemlösungen zu erzielen. Zur Verbesserung der Effizienz untersucht man u. a. den Nutzen der Modularisierung und der Hierarchiebildung. Zur Berücksichtigung realitätsnaher Fehler werden entsprechende Testmustererzeuger und Fehlersimulatoren vor allem für Verzögerungsfehler entwickelt. Eine modulare Testerzeugung ermöglicht es, die Tests auf Schaltungsebene oder gar auf elektrischer Ebene für einzelne Zellen zu erzeugen.

Zahlreiche Forschungsarbeiten beschäftigen sich mit den Problemen der Test-erzeugung und der Fehlersimulation für synchrone sequentielle Schaltungen. Neben den Aktivitäten, die auf eine effiziente Behandlung sequentieller Schaltungen beliebiger Struktur und gänzlich ohne Prüfpfad zielen, ist vor allem eine Reihe von Arbeiten erwähnenswert, die sich mit der optimalen Konfiguration eines unvollständigen Prüfpfads befassen. Bei entsprechend intelligenter Auswahl der in den unvollständigen Prüfpfad einzubindenden Speicherelemente lassen sich beträchtliche Hardware-Einsparungen im Vergleich zu einem vollständigen Prüfpfad erreichen und dabei dennoch eine ähnlich gute Testbarkeit der Schaltung gewährleisten. Für Schaltungen dieser Art werden derzeit nicht nur deterministische Testerzeugungs- und Fehlersimulationsverfahren entwickelt, sondern auch Methoden für den Zufallstest und den pseudo-erschöpfenden Test erforscht.

Die Themen aktueller Arbeiten machen deutlich, daß der prüfgerechte Entwurf als wesentlicher Bestandteil der Testvorbereitung betrachtet werden muß. Er entscheidet, welches Fehlermodell angenommen werden muß und welche Verfahren der Testerzeugung angewendet werden können.

Literatur

- [1] *Bennets, R. G.*: Design of testable logic circuits. Amsterdam: Addison-Wesley, 1984
- [2] *Ferguson, F. J.; Shen, J. P.*: Extraction and simulation of realistic CMOS faults using inductive fault analysis. Proc. IEEE Int. Test Conf., 1988
- [3] *Maly, W.*: Realistic fault modeling for VLSI testing. Proc. 24th Des. Autom. Conf., Miami Beach, 1987
- [4] *Bardell, P. H.; McAnney, W. H.; Savir, J.*: Built-in test for VLSI: Pseudorandom techniques. New York: Wiley, 1987
- [5] *Wunderlich, H.-J.*: Protest: A tool for probabilistic testability analysis. Proc. 22nd Des. Autom. Conf., 1985
- [6] *Wunderlich, H.-J.*: Multiple distributions for biased random test pattern. Proc. IEEE Int. Test Conf., Washington, 1988
- [7] *Waicukauski, J. A. et al.*: Fault simulation for structured VLSI. VLSI Syst. Des., Dez. 1985
- [8] *Antreich, K. J.; Schulz, M. H.*: Accelerated fault simulation and fault grading in combinational circuits. IEEE Trans. on CAD, 1987
- [9] *Fujiwara, H.; Shimono, T.*: On the acceleration of test generation algorithms. Proc. FTCS-13, 1983
- [10] *Schulz, M. H.; Auth, E.*: Advanced automatic test pattern generation and redundancy identification techniques. Proc. FTCS-18, Tokyo, 1988
- [11] *Krishnamurthy, B.*: Hierarchical test generation: Can AI help? Proc. IEEE Int. Test Conf., 1987