

Institut für Technische Informatik



Jahresbericht 2016

Institut für Technische Informatik - Abteilung Rechnerarchitektur
Universität Stuttgart

Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich



Impressum

Jahresbericht 2016

Berichtszeitraum: 01. Oktober 2015 – 30. September 2016

Redaktion: Lothar Hellmeier

Letzte Änderung: 8. März 2017

Institut für Technische Informatik
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich
Universität Stuttgart - ITI
Pfaffenwaldring 47
D-70569 Stuttgart

Tel.: +49 711 685 88 362

Fax: +49 711 685 88 288

E-Mail: wu@informatik.uni-stuttgart.de

URL: <http://www.iti.uni-stuttgart.de>

Externe Links verweisen auf weitervermittelte Inhalte, die sich die Universität Stuttgart nicht zu eigen macht. Die Verantwortlichkeit liegt beim jeweiligen externen Anbieter (siehe Impressum - Anbieterkennzeichnung).

Die externen Inhalte wurden beim Setzen des Links geprüft. Es ist nicht auszuschließen, dass die Inhalte im Nachhinein von den jeweiligen Anbietern verändert werden. Sollten Sie der Ansicht sein, dass die verlinkten externen Seiten gegen geltendes Recht verstoßen oder sonst unangemessene Inhalte haben, so teilen Sie uns dies bitte mit.

Vorwort



Auch im Jahr 2016 konnte der Lehrstuhl Rechnerarchitektur des Instituts für Technische Informatik international beachtete Ergebnisse auf den Gebieten Sicherheit, Zuverlässigkeit, Fehlertoleranz und Testbarkeit erzielen.

Mit 15 Veröffentlichungen in internationalen Zeitschriften und Tagungsbänden und drei „Best Paper Awards“ hat sich die Arbeitsgruppe wieder einen internationalen Spitzenplatz erarbeitet. Es wurden von der Gruppe der 1. IEEE Workshop über Automotive Reliability & Test in Fort Worth, USA, und der 2. Workshop über Approximate Computing im Rahmen der ESWEEK in Pittsburgh, USA, durchgeführt.

Diese Forschungsschwerpunkte spiegeln sich auch in der Lehre wider, in der in Praktika, Seminaren und Vorlesungen die Studierenden an den Stand der Forschung herangeführt werden. An dieser Stelle möchte ich meinen Dank an alle Mitarbeiter des ITI ausdrücken, die dies mit großem persönlichen Einsatz möglich machen.

Stuttgart, März 2017

Hans-Joachim Wunderlich

Inhaltsverzeichnis

1. Institutsübersicht – Abteilung Rechnerarchitektur	6
1.1. Mitarbeiter	6
1.2. Auszeichnungen	7
1.2.1. DFT Best Paper Award 2016	7
1.2.2. ATS Best Paper Award 2015	8
1.2.3. SimTech Best Paper Award 2014	9
1.3. Forschungsschwerpunkte und Arbeitsgruppen	9
1.3.1. Arbeitsgruppe Verlässliche Hardware	9
1.3.2. Arbeitsgruppe Test und Diagnose	10
1.3.3. Arbeitsgruppe Zuverlässiges Rechnen auf heterogenen und approximativen Architekturen	11
2. Projekte	12
2.1. SHIVA: Sichere Hardware in der Informationsverarbeitung	13
2.2. PARSIVAL: Parallele durchsatzoptimierte Simulationen zur effizien- ten Validierung des Entwurfs und Tests nanoelektronischer Sys- teme	15
2.3. HiPS: High-Performance Simulation for High Quality Small Delay Fault Testing	16
2.4. ACCESS: Verifikation, Test und Diagnose Rekonfigurierbarer Scan- Netzwerke	17
2.5. SimTech: Simulation on Reconfigurable Heterogeneous Computer Architectures	19
2.6. OTERA: Online Test Strategies for Reliable Reconfigurable Architectures	20
2.7. ROCK: Robust Network On Chip Communication Through Hier- archical Online Diagnosis and Reconfiguration	21
3. Lehre	23
3.1. Bachelor-Studiengang	23
3.1.1. Rechnerorganisation 1	23
3.1.2. Rechnerorganisation 2 / Hardwarepraktikum	24
3.1.3. Grundlagen der Rechnerarchitektur / Advanced Processor Architecture (in English)	25
3.2. Master-of-Science- Studiengang	26
3.2.1. Hardware-based Fault Tolerance (in English)	26
3.2.2. Hardware Verification and Quality Assessment (in English)	26
3.2.3. Elements of High Performance RISC Processors - Design and Synthesis (in English)	27

3.2.4.	At-speed Test and Diagnosis of Small Delay Defects in Advanced Nanometer Technologies (in English)	27
3.2.5.	Sicherheit eingebetteter Systeme	28
3.2.6.	Funktionale Sicherheit im Automobilbereich	29
3.2.7.	Into Darkness: Challenges in the Dark Silicon Era (in English)	30
3.3.	Lehrveranstaltungen im Wintersemester 2015 - 2016	31
3.4.	Lehrveranstaltungen im Sommersemester 2016	32
3.5.	Oberseminar	32
3.6.	Dissertation	40
3.6.1.	Michael E. Imhof: Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults	40
3.7.	Master-Arbeit	41
3.7.1.	Deepthi Murali: Realistic gate model for efficient timing analysis of very deep submicron CMOS circuits	41
4.	Publikationen	42
4.1.	Zeitschriften und Konferenzberichte	42
4.1.1.	Low-Overhead Fault-Tolerance for the Preconditioned Conjugate Gradient Solver	42
4.1.2.	STRAP: Stress-Aware Placement for Aging Mitigation in Runtime Reconfigurable Architectures	42
4.1.3.	Intermittent and Transient Fault Diagnosis on Sparse Code Signatures	43
4.1.4.	Optimized Selection of Frequencies for Faster-Than-at-Speed Test	43
4.1.5.	Logic/Clock-Path-Aware At-Speed Scan Test Generation for Avoiding False Capture Failures and Reducing Clock Stretch	44
4.1.6.	Accurate QBF-based Test Pattern Generation in Presence of Unknown Values	44
4.1.7.	Mixed 01X-RSL-Encoding for Fast and Accurate ATPG with Unknowns	45
4.1.8.	Dependable On-Chip Infrastructure for Dependable MPSOCs	46
4.1.9.	Fault Tolerance of Approximate Compute Algorithms	46
4.1.10.	SHIVA: Sichere Hardware in der Informationsverarbeitung	47
4.1.11.	Formal Verification of Secure Reconfigurable Scan Network Infrastructure	47
4.1.12.	Efficient Algorithm-Based Fault Tolerance for Sparse Matrix Operations	48
4.1.13.	Pushing the Limits: How Fault Tolerance Extends the Scope of Approximate Computing	48
4.1.14.	Applying Efficient Fault Tolerance to Enable the Preconditioned Conjugate Gradient Solver on Approximate Computing Hardware	49
4.2.	Workshop-Beiträge	50
4.2.1.	ABFT with Probabilistic Error Bounds for Approximate and Adaptive-Precision Computing Applications	50
4.2.2.	Autonomous Testing for 3D-ICs with IEEE Std. 1687	50

1. Institutsübersicht – Abteilung Rechnerarchitektur

1.1. Mitarbeiter

Geschäftsführender Direktor ITI:
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Sekretariat:
M. A. Mirjam Breitling

Wissenschaftliche Mitarbeiter:
M. Sc. Ahmed Atteya
Dr. rer. nat. Claus Braun
Dr. rer. nat. Atefe Dalirsani
Dr. rer. nat. Michael A. Kochte
M. Sc. Chang Liu
Dipl.-Inf. Laura Rodríguez Gómez
Dipl.-Inf. Eric Schneider
Dipl.-Inf. Alexander Schöll
Dipl.-Inf. Dominik Ull
Dipl.-Inf. Marcus Wagner

Gastwissenschaftler:
Assist. Prof. Tian Ban, Nanjing University, China
Assist. Prof. Yuta Yamato, NAIST, Japan

Administration:
Dipl.-Ing. Helmut Häfner
Dipl.-Ing. (FH) Lothar Hellmeier

sowie ca. 20 studentische Hilfskräfte in Forschung und Lehre



Bild unserer Mitarbeiter (Sommer 2016)

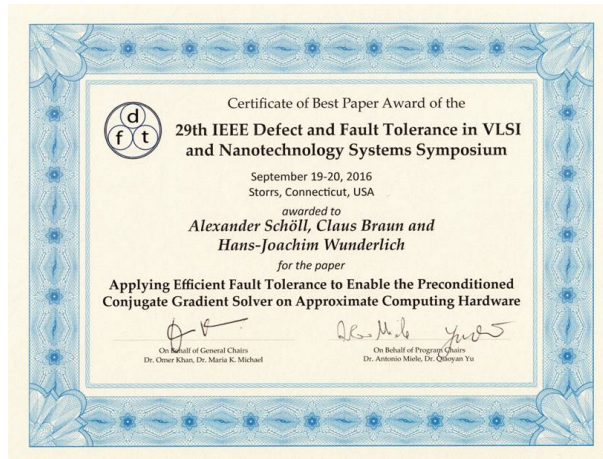
1.2. Auszeichnungen

1.2.1. DFT Best Paper Award 2016

Dipl.-Inf. Alexander Schöll,
Dr. rer. nat. Claus Braun und
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

IEEE Defect and Fault Tolerance in VLSI and Nanotechnology Systems Symposium
Best Paper Award

Im Rahmen des 29. Defect and Fault Tolerance in VLSI and Nanotechnology Systems Symposiums 2016 wurde die Veröffentlichung “Applying Efficient Fault Tolerance to Enable the Preconditioned Conjugate Gradient Solver on Approximate Computing Hardware” [S. 49, 4.1.14] von Alexander Schöll, Claus Braun and Hans-Joachim Wunderlich mit dem **DFT Best Paper Award** ausgezeichnet.

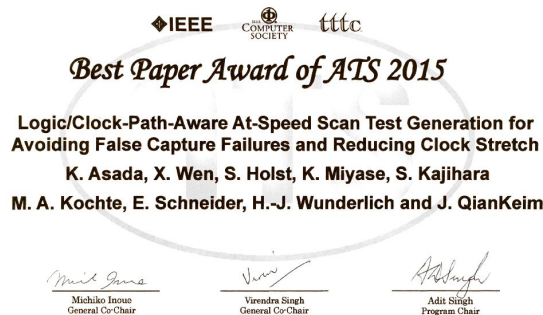


1.2.2. ATS Best Paper Award 2015

Koji Asada, Prof. Xiaoqing Wen, Assist. Prof. Stefan Holst, Assoc. Prof. Kohei Miyase, Prof. Seiji Kajihara, Dr. Michael A. Kochte, Dipl.-Inf. Eric Schneider, Prof. Dr. Hans-Joachim Wunderlich, und Jun Qian

IEEE Asian Test Symposium
Best Paper Award

Im Rahmen des 25. Asian Test Symposiums wurde am 22.11.2016 die Veröffentlichung „Logic/Clock-Path-Aware At-Speed Scan Test Generation for Avoiding False Capture Failures and Reducing Clock Stretch“ [S. 44, 4.1.5] mit dem **ATS Best Paper Award** ausgezeichnet. Die Veröffentlichung entstand in der DAAD-JSPS Kooperation HiPS mit dem Kyushu Institute of Technology (KyuTech) und wurde von Stefan Holst 2015 auf dem Asian Test Symposium in Mumbai, Indien, vorgestellt.



1.2.3. SimTech Best Paper Award 2014

Dr. rer. nat. Claus Braun und

Dipl.-Inf. Alexander Schöll zusammen mit

Dr. rer. nat. Markus Daub und

Prof. Dr. Guido Schneider, Institut für Analysis, Dynamik und Modellierung,
Universität Stuttgart

„... Den Preis für den zweiten Award teilten sich Claus Braun und Alexander Schöll für ihr Paper [Adaptive Parallel Simulation of a Two-Timescale-Model for Apoptotic Receptor-Clustering on GPUs](#), das sie in Zusammenarbeit mit Markus Daub, Prof. Guido Schneider und Prof. Hans-Joachim Wunderlich veröffentlicht hatten. Mit dem **Best Paper Award** der Graduiertenschule SimTech und des Industrial Consortium SimTech werden herausragende wissenschaftliche Leistungen unserer Doktorandinnen und Doktoranden honoriert.“

Der Preis wurde am 25. November 2015 während des alljährlichen SimTech Statusseminars in Bad Boll verliehen.

1.3. Forschungsschwerpunkte und Arbeitsgruppen

Ein großer Teil der Forschungsarbeiten erfolgt in enger Kooperation mit nationalen und internationalen Partnern aus Universitäten, Forschungseinrichtungen und der Industrie. Besondere Aufmerksamkeit wird auf Entwurfsmethoden und Hardwarestrukturen gelegt, mit denen hohe Anforderungen an Zuverlässigkeit, Sicherheit und Korrektheit der Systeme erfüllt werden können. In der Telekommunikation, Luft- und Raumfahrt, Verkehrs- oder Medizintechnik ist der Einsatz digitaler Systeme nur dann verantwortbar, wenn solche besonders hohen Qualitätsanforderungen eingehalten werden können. Mit Verfahren der Hardware-Verifikation wird versucht, die Korrektheit eines Entwurfs nachzuweisen, während beim Hardwaretest Fehler im gefertigten System gesucht werden. Fehlertoleranzverfahren sollen dafür sorgen, dass ein System auch bei Vorliegen eines Fehlers funktionsfähig bleibt oder zumindest nur sichere Zustände annimmt. Fehlertoleranz, Zuverlässigkeit, Testbarkeit und Diagnostizierbarkeit können nur garantiert werden, wenn Systeme mit geeigneter Hardware-Infrastruktur ausgestattet sind. Dabei muss verhindert werden, dass diese Infrastruktur Seitenkanäle öffnet, die ein Sicherheitsrisiko bezüglich Manipulierbarkeit und Vertraulichkeit bilden. Viele der hierbei verwendeten Methoden werden auch im Softwareentwurf eingesetzt und sind von allgemeiner Bedeutung in der Informatik.

1.3.1. Arbeitsgruppe Verlässliche Hardware

Leitung:

Dr. rer. nat. Michael A. Kochte

Bearbeiter:

M. Sc. Ahmed Atteya
M. Sc. Chang Liu
Dipl.-Inf. Eric Schneider

Verlässlichkeit komplexer Hardwaresysteme umfasst neben der Zuverlässigkeit und Verfügbarkeit auch ihre Wartbarkeit und Sicherheit. Entsprechend beinhalten die Forschungsschwerpunkte dieser Arbeitsgruppe neben ebenenübergreifenden Methoden zur Gewährleistung und Erhöhung der Zuverlässigkeit und Verfügbarkeit auch die Absicherung von On-Chip-Infrastrukturen in digitalen Schaltungen und Rechnersystemen. Diese On-Chip-Infrastruktur ist notwendig für den effizienten Test und Betrieb als auch für Kalibrierung und Wartung eines Systems im Feld.

Zu den Forschungsarbeiten zählen dabei die Verifikation und der Entwurf rekonfigurierbarer Zugriffsmechanismen nach der neuen Normierung IEEE 1687-2014 (Projekt ACCESS) und Entwurfs- und Optimierungsverfahren für rekonfigurierbare Rechnerarchitekturen (Projekt OTERA), die auf mehreren Ebenen die Zuverlässigkeits- und Verfügbarkeitsanforderungen umsetzen. Die Analyse und der Entwurf sicherer On-Chip-Infrastrukturen wird im Projekt SHIVA in Zusammenarbeit mit dem Lehrstuhl für Rechnerarchitektur der Universität Freiburg (Prof. Dr. Becker) durchgeführt.

Weitere Forschungsschwerpunkte bilden die simulationsbasierte Vorhersage und Bewertung von Alterungsmechanismen in digitalen Schaltungen sowie der Entwurf digitaler Schaltungsstrukturen zur Überwachung der Alterung. Hier ergibt sich ein Anknüpfungspunkt zur Arbeitsgruppe „Test und Diagnose“, in der die notwendigen Modellierungen und zeitgenauen hochparallelen Simulationsalgorithmen entwickelt werden (Projekt PARSIVAL), die für die Betrachtung von Alterungseffekten notwendig sind.

1.3.2. Arbeitsgruppe Test und Diagnose

Bearbeiter:

Dipl.-Inf. Laura Rodríguez Gómez
Dipl.-Inf. Dominik Ull
Dipl.-Inf. Marcus Wagner

Die genauere Modellierung von komplexen Fehlern von Schaltungen auf Schaltkreisebene sowie deren hochparallele Simulation sind aktuelle Forschungsthemen am Institut. Für die effiziente Simulation werden dazu die Gatter durch spannungsabhängige Stromquellen und Kapazitäten beschrieben, welche zuvor mittels hochgenauer SPICE Simulation charakterisiert wurden. Gegenüber konventionellen Gattermodellen kann so viel genauer bestimmt werden, ob ein Fehler durch einen Verzögerungstest tatsächlich erkannt wird und welche Auswirkungen dieser Fehler auf den Betrieb einer Schaltung hat. Ebenso können Prozessvariationen bei der Herstellung von Schaltungen und deren Auswirkungen auf den Verzögerungstest mit diesen Modellen genauer untersucht werden. Bislang wurde die Effizienz und Genauigkeit dieser Modelle experimentell durch eine Vielzahl von Simulation kleinerer Schaltungen bestätigt.

Während des Tests nach der Herstellung werden zahlreiche Informationen über fehlerhafte Chips gesammelt. Die Testergebnisse bieten dabei insbesondere die Möglichkeit, eine weitreichende Diagnose durchzuführen, die den Fehlerort des zugrunde liegenden Defektes findet. Leider wird über die Defektmechanismen keine Information mitgeliefert, so dass lediglich eine aufwendige physikalische Analyse als Möglichkeit bleibt, um dies herauszufinden. Die großen Datenmengen, die bei der Diagnose anfallen, erfordern den Einsatz moderner Techniken des Maschinellen Lernens. In den letzten Jahren hat deren Bedeutung stark zugenommen, denn sie erlauben es, komplexe Strukturen in großen Datenmengen zu finden, die selbst für den menschlichen Experten nicht erkennbar sind. In der Gruppe Test und Diagnose wird untersucht, wie neuronale Netze für eine schnelle Defektidentifikation angewendet werden können. Dies ermöglicht einen gezielten und damit kostengünstigen Einsatz der physikalischen Analyse, indem systematische Defekte schneller erkannt werden können.

1.3.3. Arbeitsgruppe Zuverlässiges Rechnen auf heterogenen und approximativen Architekturen

Leitung:

Dr. rer. nat. Claus Braun

Bearbeiter:

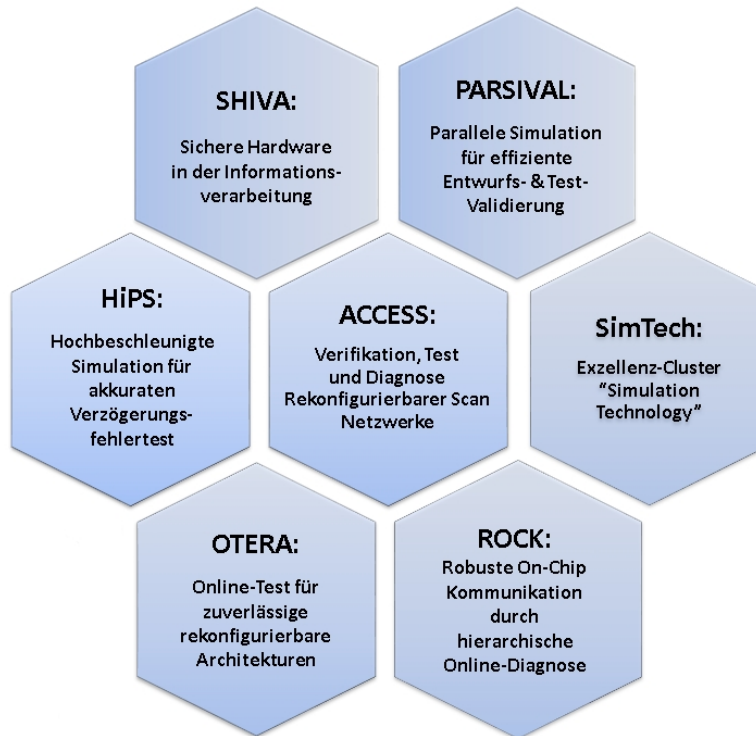
Dipl.-Inf. Alexander Schöll

Rechnergestützte Simulationstechnik und Hochleistungsrechnen (HPC, high performance computing) sind heute aus vielen Bereichen der Wissenschaft und der Wirtschaft nicht mehr wegzudenken. Simulationen ersetzen dabei kosten- und zeitintensive Experimente und ermöglichen die Untersuchung komplexer Sachverhalte. Klassische Beispiele für Simulationsanwendungen finden sich zum Beispiel in der Klimaforschung (Wettersimulation), der Automobilbranche (Kollisionsversuche), sowie der Finanzwirtschaft. Darüber hinaus spielt die rechnergestützte Simulation heute eine zentrale Rolle beim Entwurf und der Validierung moderner Halbleiterschaltungen und Computersysteme.

Die Forschungsarbeiten innerhalb der Gruppe für „Zuverlässiges Rechnen auf heterogenen und approximativen Architekturen“ beschäftigen sich mit der effizienten Abbildung von komplexen Simulationsanwendungen auf heterogene Rechner-systeme die aus klassischen Mehrkernprozessoren (CPU), hochparallelen Grafikprozessoren, sowie zur Laufzeit rekonfigurierbaren Rechnerarchitekturen (FPGA) bestehen. Dabei wird neben der reinen Parallelisierung ein besonderes Augenmerk auf effiziente und effektive Fehlertoleranzmaßnahmen gelegt die eine zuverlässige Ausführung der Anwendungen sicherstellen.

Neben der reinen Rechenleistung rückt in den letzten Jahren verstärkt die Reduzierung der Leistungsaufnahme und die Steigerung der Effizienz in den Vordergrund. Die Arbeiten der Gruppe für „Zuverlässiges Rechnen auf heterogenen und approximativen Architekturen“ in diesem Bereich konzentrieren sich auf Architekturen, Algorithmen und Fehlertoleranzmaßnahmen für das Approximative Rechnen.

2. Projekte



2.1. SHIVA: Sichere Hardware in der Informationsverarbeitung



seit 02.2016, Baden-Württemberg Stiftung

Forschungsprogramm der Baden-Württemberg Stiftung
IKT-Sicherheit für weltweit vernetzte vertrauenswürdige Infrastrukturen

Projektkoordination:

Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Projektmitarbeiter:

Dr. rer. nat. Michael A. Kochte
Dipl.-Inf. Laura Rodríguez Gómez
M. Sc. Ahmed Atteya

Kooperationspartner:

Prof. Dr. Bernd Becker, Lehrstuhl für Rechnerarchitektur
Albert-Ludwigs-Universität Freiburg

Sichere Informations- und Kommunikationstechnologien erfordern integrierte und aufeinander abgestimmte Schutzmaßnahmen auf allen Ebenen, beginnend von der Systemarchitektur über die Anwendungen und die Software, die Hardwarearchitektur, die Bausteinebene bis hin zur elektrischen Ebene. Isolierte Schutzmaßnahmen auf einer oder mehreren Ebenen werden entwertet, wenn Angriffe über andere Wege möglich sind. Eine besondere Rolle spielt hier die Hardware eines sicheren IKT-Systems, da sie neben funktionalen Angriffsmöglichkeiten, die auch die Software bietet, zahlreiche nichtfunktionale Angriffskanäle aufweist. Zu diesen gehören beispielsweise elektromagnetische Abstrahlung, Stromverbrauch und insbesondere die nichtfunktionale Infrastruktur. Diese integrierte Chip-Infrastruktur ist notwendig, um mittels kontrolliertem Zugriff auf die Test-, Diagnose- und Wartbarkeitsschnittstellen der Hardware während der Fertigung als auch im Feld einen wirtschaftlichen und zuverlässigen Betrieb zu gewährleisten. Allerdings eröffnet diese Infrastruktur zahlreiche Angriffsmöglichkeiten und kann das System verwundbar machen. Einer ganz besonderen Gefahr sind hier die sogenannten „Cyber Physical Systems“ (CPS) ausgesetzt, zu denen sicherheitskritische Systeme im Bereich der Automobilelektronik, der Medizintechnik oder auch der Fertigungstechnik (Industrie 4.0) gehören, da sie einem potentiellen Angreifer auch unmittelbar physisch zugänglich sein können. Das Projekt SHIVA wird für die Hardware von IKT-Systemen Entwurfs- und Verifikationsmethoden entwickeln, um auf Chipebene die folgenden Sicherheitseigenschaften zu garantieren:

A) Ausschluss einer beabsichtigten oder unbeabsichtigten Manipulation des Systems

Sowohl aus Sicherheits- als auch aus Lizenzgründen ist es erforderlich zu verhindern, dass ein Anwender die Hardware so beeinflussen kann, dass sie außerhalb ihrer zugelassenen Spezifikation betrieben wird. Ein bekanntes Beispiel sind hier Manipulationen von Steuereinheiten zum Zweck des Fahrzeug-Tunings, welche zur Gefährdung des Betreibers und der Umwelt führen. Entsprechende Gefährdungen finden sich auch in den Bereichen Fertigungstechnik und Medizintechnik. Noch schwerwiegender sind jedoch Manipulationen von dritter Seite, um mutwillig zu schädigen. Auch hierfür finden sich inzwischen Beispielszenarien der Sabotage unterschiedlicher Anwendungen in der Presse. B) Ausschluss der Beobachtung interner Daten, verwendeter Verfahren und Prozesse

Die Daten, Verfahrensabläufe und Prozessparameter, die IKT-Systeme im industriellen Fertigungsumfeld (Industrie 4.0) oder in medizinischen Anwendungen verarbeiten, sind vertraulich und müssen entsprechend geschützt werden. Sicherheitsplattformen sind derzeit von Halbleiterherstellern angekündigt und zum Teil verfügbar, welche sowohl die Authentifizierung als auch eine „Ende-zu-Ende“ Verschlüsselung unterstützen und dadurch einen sicheren funktionalen Zugriff auf die Prozessoren und die restliche Hardware erlauben. In diesen Ansätzen wird der Chip als Endpunkt betrachtet, aber in aller Regel wird innerhalb der Prozessoren aus Performanzgründen mit Klardaten gearbeitet und lediglich der Speicherinhalt verschlüsselt. Der physische Zugriff auf den Chip und seine integrierte Infrastruktur zur Zuverlässigkeit, Diagnose und Wartung eröffnen viele Möglichkeiten für Seitenangriffe, die ausgeschlossen werden müssen.

C) Schutz des geistigen Eigentums an der Hardware

Anwendungsspezifische Schaltungen und FPGA-basierte rekonfigurierbare Systeme enthalten geistiges Eigentum, das vor Missbrauch und Weitergabe geschützt werden muss, selbst wenn der Zugriff durch den rechtmäßigen Besitzer eines Systems erfolgt. Die Hardware sollte ein Ausforschen der Struktur und sogenanntes „reverse Engineering“ mit funktionalen Mitteln oder über unautorisierte Zugriffe mittels der Infrastruktur nicht gestatten. Zusätzlich dürfen die implementierten Strukturen auch nicht durch Dritte so geändert werden können, dass ungewollte, sicherheitsgefährdende Funktionen versteckt ausgeführt werden. Sogenannte „Trojaner“ sind in der Vergangenheit in konfigurierbare Hardware-Systeme eingeschleust worden, und sogar anwendungsspezifische fremdgefertigte Schaltungen können nicht vertrauenswürdig sein. Schließlich werden sichere Identifikationsverfahren benötigt, die einen Modul und Chip eindeutig erkennen.

Das Projekt SHIVA wird von der Baden-Württemberg Stiftung im Rahmen des Forschungsprogramms IKT-Sicherheit über einen Zeitraum von drei Jahren gefördert. Es ist ein Kooperationsprojekt zwischen dem Institut für Technische Informatik der Universität Stuttgart (Prof. Dr. Wunderlich) und dem Lehrstuhl für Rechnerarchitektur der Universität Freiburg (Prof. Dr. Becker). Die Projektkoordination liegt bei Prof. Dr. Wunderlich.

Das Projekt wurde sowohl national auf dem edaWorkshop in Hannover [S. 47, 4.1.10] als auch international auf dem IEEE Latin American Test Symposium [S.

46, 4.1.8] vorgestellt. In der ersten Projektphase wurde in [S. 47, 4.1.11] ein unbeschränktes formales Verifikationsverfahren für Sicherheitseigenschaften und den Zugriffsschutz in Chip-Infrastrukturen entwickelt.

2.2. PARSIVAL: Parallele durchsatzoptimierte Simulationen zur effizienten Validierung des Entwurfs und Tests nanoelektronischer Systeme

seit 10.2014, DFG-Projekt: WU 245/16-1



Projektmitarbeiter:

Dr. rer. nat. Claus Braun
Dr. rer. nat. Michael A. Kochte
Dipl. Inf. Eric Schneider

Im Rahmen des PARSIVAL Projekts werden neue Methoden zur simulationsbasierten Validierung des Entwurfs und Tests nanoelektronischer Schaltungen auf datenparallelen Architekturen entwickelt, welche die Anwendung auf große Schaltkreise und komplexere Auswertungsszenarien erlauben. Dieses Projekts befasst sich dabei mit der Struktur der Simulationsmodelle und deren Algorithmen sowie den verschiedenen Abstraktionsebenen, um diese auf datenparallele Architekturen abzubilden und zu beschleunigen.



Mit der Skalierung der Prozesstechnologien treten immer komplexere Defektmechanismen auf, die feinere Simulationsmodelle erfordern, und in aktuellen Herstellungsprozessen eine Validierung auf unteren Abstraktionsebenen erfordern. Die Algorithmen basieren teils auf sehr rechenintensiven Schritten, die aufgrund der höheren Genauigkeit der Rechenmodelle, der Komplexität bei der Auswertung und den anfallenden Daten auf traditionellen Rechenarchitekturen (z.B. Mehrkernprozessoren) nicht mehr skalieren. In den vergangenen Jahren haben sich datenparallele Architekturen, wie z.B. Graphikprozessoren (GPUs), im Bereich des Hochleistungsrechnens etabliert, welche massive Rechenleistungen im Bereich von mehreren TeraFLOPs auf einem einzigen Chip ermöglichen. Mit der Ausnutzung von

Parallelisierung auf diesen hochparallelen Hardwarebeschleunigern sowie mithilfe geeigneter Ansätze zur Abstraktion soll im Rahmen dieses Projekts der Rechen- durchsatz maximiert werden, um so eine breite Palette an komplexen Anwendungen zur Entwurfsautomatisierung auch für große industrielle Schaltungen zu ermöglichen. Der Beitrag [S. 44, 4.1.5] auf dem IEEE Asian Test Symposium wurde mit dem **ATS 2015 Best Paper Award** [S. 8, 1.2.2] ausgezeichnet.

2.3. HiPS: High-Performance Simulation for High Quality Small Delay Fault Testing

since 01.2015, DAAD/JSPS PPP Japan Project: #57155440

DAAD

Project staff:

Dr. rer. nat. Michael A. Kochte
Dipl. Inf. Eric Schneider

Cooperation partners:

This project is part of the German Academic Exchange Service (DAAD) exchange program "PPP Japan" in collaboration with the Japan Society for the Promotion of Science (JSPS).

Project Partners (Japan):

Department of Creative Informatics - Kyushu Institute of Technology

Prof. Xiaoqing Wen
Assist. Prof. Stefan Holst

Variations and imperfections during manufacturing can result in small delay defects, which can point to underlying hardware marginalities that may degrade into early life failures. The detection of such small delay defects in conventional test schemes is highly difficult since the slack along sensitized paths is typically much larger than the defect size. In typical manufacturing tests the majority of small delay defects remains undetected, resulting in low quality and reliability for such mission-critical applications as implanted medical devices, aeronautic control units, car electronics, etc.



Their detection can be facilitated by increasing the test clock frequency, called faster-than-at-speed test (FAST). However, operating the circuit at a frequency much higher than the nominal frequency increases power consumption and noise

in the power and clock network. This threatens reliable fault detection and also causes over-testing of the circuit.

In 2016, the works on the high throughput simulation have been finalized, enabling for the first time fast and efficient analyses of small delay faults with high accuracy. The results have been summarized in a joint article "[GPU-Accelerated Simulation of Small Delay Faults](#)" that has been accepted for publication in a journal. This simulator was then utilized in order to investigate the impact of switching activity on logic and clock paths during test. A follow-up paper "[Timing-Accurate Estimation of IR-Drop Impact on Logic- and Clock-Paths During At-Speed Scan Test](#)" has been submitted and presented at the 2016 Asian Test Symposium. At this conference, the joint work of the previous year "Logic/Clock-Path-Aware At-Speed Scan Test Generation for Avoiding False Capture Failures and Reducing Clock Stretch" [S. 44, 4.1.5] was awarded the **Best Paper Award** [S. 8, 1.2.2].

During this second year of the funding phase, two trips have been scheduled in the third and fourth quarter. On their first trip, Dr. Michael A. Kochte and Dipl.-Inf. Eric Schneider gave a special lecture at the Kyushu Institute of Technology about the masters and Ph.D. student's life in Stuttgart and presented an overview of their own area of research. The next day, a project meeting was held where each party presented ongoing research activities for discussions. On the second trip, a special international symposium was organized by the inviting party (2016 International Symposium on Dependable Integrated Systems), where Prof. Wunderlich gave a keynote speech about "Options and Organization of Faster-Than-At-Speed-Test" and Mr. Kochte presented "Test Strategies for Reconfigurable Scan Networks". Furthermore, a two-part special lecture on making poster presentations was organized by Mr. Schneider and Assist.-Prof. Stefan Holst, where Japanese masters students could take the opportunity to present the research topics of their master theses. On the last day, a final meeting was held by the project group to discuss the achieved milestones during the overall funding phase with discussions on new ideas and the organization for future collaboration.

2.4. ACCESS: Verifikation, Test und Diagnose Rekonfigurierbarer Scan-Netzwerke

seit 08.2014, DFG-Projekt: WU 245/17-1



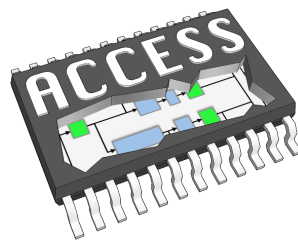
Projektmitarbeiter:

Dr. rer. nat. Michael A. Kochte
M. Sc. Chang Liu
Dipl.-Inf. Dominik Ull

Eingebettete Instrumente gewinnen zunehmend an Bedeutung und sind unerlässlich, um Skalierung und wachsende Komplexität aktueller Systeme-auf-einem-Chip (SoC) und Mikroprozessoren zu meistern. Chip-interne Instrumente werden sowohl bei der Produktion zur Verbesserung der Herstellung, Debug, Test und Dia-

gnose, als auch im normalen Betrieb zur Felddiagnose und Instandhaltung eingesetzt. Rekonfigurierbare Scan-Netzwerke (RSN) stellen einen günstigen, allgemein einsetzbaren Zugriffsmechanismus für chip-interne Instrumente dar. Hierzu sind bereits Standards verabschiedet (IEEE Std. 1149.1-2013 – JTAG-2013 und IEEE Std. 1687-2104 – IJTAG). Sie beschreiben flexible Netzwerke aus Prüfpfaden, die verteilt konfigurierbar sind und Schnittstellen zur Integration eingebetteter Instrumente bereitstellen.

Effiziente Verifikations-, Test- und Diagnosemethoden für RSN-Designs stellen aufgrund der kombinatorischen und sequentiellen Abhängigkeiten eine große Herausforderung dar. Diese Strukturen übersteigen die Möglichkeiten existierender Algorithmen, welche für konventionelle nicht-rekonfigurierbare Scan-Netzwerke, und allgemein beim Systementwurf eingesetzt werden. Im Projekt ACCESS werden skalierbare Methoden zur Entwurfsautomatisierung entwickelt, um die Einhaltung strenger Vorgaben für die Korrektheit, Zuverlässigkeit und Sicherheit von RSNs zu gewährleisten.



Im vorangegangenen Jahr wurde eine formale Modellierung entwickelt, welche die skalierbare formale Verifikation der Korrektheit und gewisser Zugriffseigenschaften solcher Scan-Netzwerke erlaubt. Wie in der Publikation [S. 46, 4.1.8] beschrieben, muss in sicherheitskritischen Systemen auch der korrekte und sichere Betrieb der Chip-Infrastruktur gewährleistet werden. Dazu können sichere RSN-Architekturen verwendet werden, welche sicherstellen, dass nur autorisierte Zugriffe auf die Instrumentation im Chip durchgeführt werden können. In [S. 47, 4.1.11] wird ein unbeschränktes formales Verifikationsverfahren für RSNs vorgestellt, das auf der oben erwähnten formalen Modellierung basiert und für den formalen Beweis von Sicherheitseigenschaften in RSNs eingesetzt wird.

Neben dem sicheren Zugriff auf die Chip-Infrastruktur muss auch gewährleistet werden, dass die RSN-Struktur frei von Herstellungsfehlern ist. Konventionelle Verfahren für den Test von statischen Prüfpfaden sind nicht direkt auf RSNs anwendbar. Da rein funktionale Tests die RSN-Struktur nicht systematisch und erschöpfend untersuchen, ist die erreichte Fehlerabdeckung gering. Es wurde deshalb ein innovatives Verfahren zur Testerzeugung für RSNs entwickelt, das die Fehlerabdeckung deutlich erhöht.

Die Verwendung von RSNs zur effizienten autonomen Teststeuerung in komplexen 3D-Chips wurde in Kooperation mit Prof. K.-J. Lee der National Cheng Kong University in Taiwan vorgestellt.

2.5. SimTech: Simulation on Reconfigurable Heterogeneous Computer Architectures



seit 06.2008, DFG-Exzellenzcluster „Simulation Technology“ (SimTech)

Projektmitarbeiter:

Dr. rer. nat. Claus Braun
Dipl.-Inf. Alexander Schöll

Kooperationspartner:

Prof. Dr. Guido Schneider, Institut für Analysis, Dynamik und Modellierung,
Universität Stuttgart
Prof. Dr.-Ing. Joachim Groß, Institut für Thermodynamik und thermische
Verfahrenstechnik, Universität Stuttgart

Bereits seit Beginn der ersten Förderphase des DFG-Exzellenzclusters „Simulation Technology“ (SimTech) an der Universität Stuttgart im Jahre 2008 ist das Institut für Technische Informatik (Abteilung Rechnerarchitektur) ununterbrochen ein fester Bestandteil der Forschungsaktivitäten des Stuttgart Research Centre for Simulation Technology (SRC SimTech). Innerhalb des DFG-Exzellenzclusters fungiert Hans-Joachim Wunderlich als Projektleiter (principal investigator) sowie als Koordinator der Forschungsaktivitäten des SimTech-Projektnetzwerks PN2 „High Performance Simulations across Computer Architectures“.



Die Forschungsarbeiten des Instituts im Rahmen des SimTech-Projekts „Simulation on Reconfigurable Heterogeneous Computer Architectures“ reichen von der Entwicklung neuer Methoden für die Analyse und Abbildung komplexer Simulationsalgorithmen über die Entwicklung, Anpassung und Integration geeigneter Fehlertoleranzmaßnahmen, bis hin zur Modellierung, Evaluierung und Einbindung zukünftiger approximativer Rechnerarchitekturen.

Im Mittelpunkt stehen dabei heterogene, zu Laufzeit konfigurierbare Hochleistungsrechnersysteme bestehend aus klassischen Mehrkernprozessoren (multicore CPU), hochparallelen Grafikprozessoren (many-core GPU) und konfigurierbaren Hardwarebeschleunigern (FPGA). Im Bereich der Abbildung komplexer Simulationsalgorithmen konnten die seit der ersten Projektphase bestehenden Kooperationen mit der Gruppe von Prof. Dr. Guido Schneider (Institut für Analysis, Dy-

namik und Modellierung, Universität Stuttgart) sowie der Gruppe von Prof. Dr.-Ing. Joachim Groß (Institut für Thermodynamik und thermische Verfahrenstechnik) erfolgreich fortgeführt werden. Wesentlicher Gegenstand dieser Kooperationen sind die massiv-parallele Simulation großer Partikelsysteme auf unterschiedlichen Zeitskalen, sowie Markov-Ketten-basierte Monte-Carlo-Simulationen.

Während in der ersten Projektphase die Beschleunigung und fehlertolerante Ausführung mathematischer Kernoperationen aus der linearen Algebra für dicht besetzte Matrizen (*dense matrices*) einen wichtigen Schwerpunkt bildeten, sind nun in der zweiten Projektphase die Parallelisierung und Absicherung iterativer Verfahren zur Lösung großer Gleichungssysteme sowie Operationen auf dünnbesetzten Matrizen (*sparse matrices*) in den Vordergrund getreten. Dabei konnten für Operationen auf dünnbesetzten Matrizen, insbesondere für Matrix-Vektor Multiplikationen besonders effiziente und effektive Fehlertoleranzmaßnahmen entwickelt werden. Die zugrunde liegenden Methoden unterscheiden hierbei zwischen Fehlern innerhalb der Größenordnung des Rundungsfehlers und kritischen Fehlern für die Anwendung, um unnötige Korrekturschritte zu vermeiden.

Gleichzeitig wurde die Einbindung zukünftiger approximativer Rechnerarchitekturen in das wissenschaftlichen Rechnen anhand von Modellen untersucht. Dabei wurden Methoden entwickelt, die eine Ausführung des vorkonditionierten CG-Verfahrens (*conjugate gradient method*) auf approximativen Rechnerarchitekturen erlaubt, wobei weiterhin korrekte Ergebnisse sichergestellt werden.

Im Berichtszeitraum Oktober 2015 bis September 2016 wurden Auszeichnungen für zwei Publikationen des Projektes verliehen. Im November 2015 wurde die Publikation „[Adaptive Parallel Simulation of a Two-Timescale-Model for Apoptotic Receptor-Clustering on GPUs](#)“ aus unserer Kooperation mit der Gruppe von Prof. Dr. Guido Schneider mit dem **Best Paper Award** [S. 9, 1.2.3] der Graduiertenschule SimTech und des Industrial Consortium SimTech ausgezeichnet. Im September 2016 wurde die Publikation „[Applying Efficient Fault Tolerance to Enable the Preconditioned Conjugate Gradient Solver on Approximate Computing Hardware](#)“ [S. 49, 4.1.14] im Rahmen der DFT 2016 mit dem **DFT Best Paper Award** [S. 7, 1.2.1] ausgezeichnet.

2.6. OTERA: Online Test Strategies for Reliable Reconfigurable Architectures

seit 10.2010, DFG-Projekt: WU 245/10-1, 10-2, 10-3



Projektmitarbeiter:

Dr. rer. nat. Michael A. Kochte
Dipl.-Inf. Eric Schneider

Kooperationspartner:

Prof. Dr.-Ing. Jörg Henkel, Chair for Embedded Systems (CES)
Karlsruhe Institute of Technology (KIT)

Das DFG-Schwerpunktprogramm 1500 „Design and Architectures of Dependable Embedded Systems - A Grand Challenge in the Nano Age“ erforscht effiziente Methoden zur Sicherung der Verlässlichkeit eingebetteter Systeme, die von der Schaltungs- bis zur Systemebene reichen. Im Rahmen dieses Schwerpunktprogramms untersucht das Institut für Technische Informatik Methoden des Online-Tests und der Zuverlässigkeitssteigerung für rekonfigurierbare Architekturen.



In der ersten Förderphase des OTERA-Projekts wurden permanente Fehler behandelt. Die zweite und dritte Förderphase zielen auf die Steigerung der Zuverlässigkeit rekonfigurierbarer Systeme zur Laufzeit durch den Einsatz von System-Monitoren, Verfahren zur Zuverlässigkeitsabschätzung und pro-aktiver Selbstverteidigungsmaßnahmen. Somit werden Beeinträchtigungen im Betrieb durch permanente, intermittierende und transiente Fehler minimiert. Dies wird durch die kontinuierliche Überwachung des Systems sowie die Abschätzung und Vorhersage des Systemzustands erreicht. Es werden basierend auf dem aktuellen und dem prognostizierten Systemzustand zuverlässigkeitssteigernde Maßnahmen bereitgestellt, die vom System zur Laufzeit ausgewählt und angewendet werden. Somit soll das System selbständig Betriebszustände finden, die die geforderte Leistung über die Lebensdauer gewährleisten („guaranteed performability“).

On-Chip-Netzwerke sind skalierbare paketbasierte Kommunikationsarchitekturen, die in komplexen Vielkernsystemen verwendet werden. Die inhärente Redundanz dieser On-Chip-Netzwerken kann ausgenutzt werden, um selektiv auf Fehler und Ausfälle zu reagieren. Dazu werden funktionale Tests und Fehlersignaturen bestimmt, die zur Laufzeit ein Abschalten bzw. Rekonfigurieren einzelner fehlerhafter Komponenten, z.B. eines Links oder Ports, erlauben. Damit wird die Zuverlässigkeit und Verfügbarkeit der Kommunikationsstruktur im System erhöht.

2.7. ROCK: Robust Network On Chip Communication Through Hierarchical Online Diagnosis and Reconfiguration

08.2011 - 12.2015, DFG-Project: WU 245/12-1



Projektmitarbeiter:

Dr. rer. nat. Atefe Dalirsani
Dipl.-Inf Laura Rodríguez Gómez

Kooperationspartner:

Prof. Dr.-Ing. Martin Radetzki, Institut für Technische Informatik
Universität Stuttgart

In den vergangenen fünfzig Jahren ist es gelungen, ein exponentielles Fortschreiten der Integrationsdichte mikroelektronischer Schaltungen auf sog. Chips aufrecht zu erhalten. Dies ermöglicht es heutzutage, mehrere CPU Cores auf einem einzigen Chip zu integrieren und damit hohe Verarbeitungsleistung auf kleinem Raum zu erzielen. Um den damit verbundenen On-Chip-Kommunikationsbedarf zu befriedigen, zeichnet sich bereits ab, dass konventionelle zentralisierte, exklusiv nutzbare Bussysteme durch sogenannte Networks-on-Chip (NoC) mit paketbasierter Datenvermittlung über mehrere Stationen (Switches, Routing) ersetzt werden. Gleichzeitig führt die steigende Integrationsdichte zu verstärktem Auftreten von Defekten, die während der Herstellung oder zunehmend auch durch Abnutzungseffekte im Betrieb entstehen. Ohne geeignete Gegenmaßnahmen können solche Defekte zu Fehlverhalten oder sogar zum kompletten Versagen eines Manycore-Chips führen.



In Projekt ROCK wurden Diagnoseverfahren auf verschiedenen Netzwerkschichten und ihre Interaktionsmöglichkeiten untersucht, um von der Kombination der jeweiligen Vorteile zu profitieren. Solche Kombinationen ermöglichen in der Tat bessere Abwägungen zwischen Genauigkeit der Diagnose und der Beeinträchtigung des Systembetriebs, als dies mit isolierten Ansätzen auf einzelnen Schichten möglich wäre. Ähnliches gilt für die Rekonfiguration von NoCs, womit diagnostizierte Fehler umgangen werden sollen.

Bei perspektivisch 1000 Netzwerkknoten ist es mit rein verteilt implementierten Fehlertoleranz-verfahren nicht mehr möglich, globale Aussagen zu resultierenden Netzwerkeigenschaften zu machen. Auf der anderen Seite ist die zentrale Organisation eines Netzwerks dieser Größe aufwändig und selbst fehleranfällig. Die hier verfolgte logische Aufteilung des NoC in hierarchisch organisierte Cluster erlaubt es, sowohl den Berechnungsaufwand als auch den Speicherbedarf für „Umleitungen“ in Grenzen zu halten, und implementiert die Bestimmung alternativer Routing mittels eines deterministischen Verfahrens, das parallel zum laufenden Systembetrieb durchgeführt werden kann. Zur Bewertung einer Vielzahl von Systemalternativen mit großen Datenmengen und Fehlermustersätzen wurden Modellierungs- und Simulationsverfahren entwickelt, die insbesondere durch Parallelisierung eine hohe Effizienz aufweisen. Ein weiteres methodisches Highlight besteht in der Etablierung eines mathematisch formalisierten Zusammenhangs zwischen Fehlermodellen auf unterschiedlichen Ebenen. Damit können strukturorientierte Fehlermodelle und funktionales Fehlverhalten miteinander in Beziehung gesetzt werden, was es unter anderem ermöglicht, mittels funktionaler Diagnoseansätze eine hohe strukturelle Fehlerüberdeckung zu erreichen.

3. Lehre

Die Abschlussarbeiten beziehen sich auf aktuelle Forschungen des Instituts sowie angeregte Themen unserer Kooperationspartner.

Das notwendige Hintergrundwissen wird durch eine Reihe von Vorlesungen, Seminaren und Praktika vermittelt, in denen die grundlegenden Strukturen und Design-Techniken sowie fortschrittliche Themen der Design-Automatisierung vorgestellt werden. Die Vorlesungen *Rechnerorganisation* und *Grundlagen der Rechnerarchitektur* geben einen Überblick über die Architektur moderner Datenverarbeitungssysteme und behandeln die grundlegenden Strukturen schneller digitaler Systeme. Außerdem werden in verschiedenen Seminaren Algorithmen und Strukturen für das Design von fehlertoleranten und zuverlässigen Systemen präsentiert.

Praktisches Knowhow erlernen die Studierenden in einem Praktikum für den Entwurf digitaler Systeme, dessen Ziel die Einführung in elementare elektronische Geräte ist und die Implementierung einfacher digitaler Schaltungen in FPGAs beinhaltet.

Die Abteilung Rechnerarchitektur bietet eine gleichnamige Vertiefungslinie an, die grundlegende Methoden des Entwurfs digitaler Systeme behandelt und innovative Rechnerstrukturen vorstellt.

3.1. Bachelor-Studiengang

3.1.1. Rechnerorganisation 1

Bachelor-Studiengang Informatik, Bachelor-Studiengang Softwaretechnik, Bachelor-Studiengang Medieninformatik, Vorlesung mit Übungen, 3V + 1Ü SWS

Dozenten: H.-J. Wunderlich, E. Schneider, D. Ull, M. Wagner

Der moderne Rechnerentwurf geschieht auf mehreren Entwurfsebenen, angefangen vom Aufbau von Operations- und Steuerwerken aus einfachen logischen Gattern bis hin zum Entwurf von Befehlssätzen und der Unterstützung von Betriebssystemen. In der Vorlesung werden für alle Entwurfsebenen die heute gebräuchlichen Strukturkonzepte vorgestellt. Wegen der immer größer werdenden Komplexität digitaler Systeme spielt die Entwurfsmethodik eine wesentliche Rolle. Der Inhalt der Vorlesung wird im Rahmen von Gruppenübungen vertieft.

Die Vorlesung behandelt die folgenden Themenschwerpunkte:

- Einleitung
-

- Informationsdarstellung
- MIPS als RISC-Beispiel
- Operationswerke
- Steuerwerke
- Befehlszyklus und Unterbrechungen
- Pipelining und Scheduling
- Speicherorganisation
- Speicherverwaltung
- Betriebssysteme
- Eingabe und Ausgabe
- Leistungsbewertung

3.1.2. Rechnerorganisation 2 / Hardwarepraktikum

Bachelor-Studiengang Informatik, Vorlesung mit Übungen,
1V + 4Ü SWS

Dozenten: H.-J. Wunderlich, E. Schneider, D. Ull, M. Wagner

Rechnerorganisation 2 (auch „Hardwarepraktikum / HAPRA“) ist eine 5 stündige Lehrveranstaltung im Studiengang Informatik, die praxisnah Grundlagen des Entwurfs digitaler Schaltungen und Systeme sowie den Zusammenhang zwischen Hard- und Software vermittelt. Die Veranstaltung gliedert sich in einen Praktikumsteil, in dem zwölf aufeinander aufbauende Versuche durchgeführt werden. Sie wird von einer wöchentlichen Vorlesung begleitet.

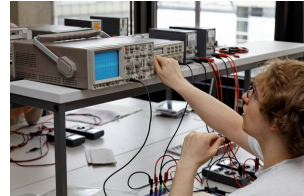
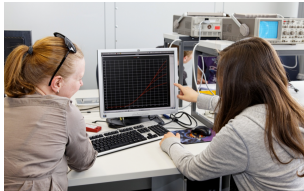
Datenverarbeitende Systeme werden heute in der Regel als digitale Schaltungen realisiert, wobei eine Vielzahl von Funktionseinheiten auf einem einzigen Chip integriert wird. Dabei sind eine Reihe von Schaltungsproblemen und -effekten zu berücksichtigen. Vor dem Einsatz integrierter Schaltungen im Hardwarepraktikum sollen daher die wesentlichen Bauelemente und einfache Grundsaltungen der Elektronik aufgebaut, ausgemessen und simuliert werden. Auf diese Weise werden Effekte und Probleme erfahrbar, die auch in integrierten Schaltungen auftreten.

Anschließend wird ein einfacher RISC-Prozessor mithilfe kommerzieller Entwicklungswerkzeugen von Mentor Graphics und Xilinx entworfen und mit einem Field Programmable Gate Array (FPGA) in Hardware umgesetzt. Neben dem Entwurf kombinatorischer und sequentieller Schaltungen werden dabei auch Arbeitstechniken zur Komplexitätsbewältigung und Konzepte zur Schaltungsvalidierung vermittelt. Der selbst entworfene Prozessor wird am Ende des Praktikums in Maschinensprache programmiert.

Die Themen im Überblick:

- Grundlagen des Entwurfs digitaler Schaltungen und Systeme
-

- Aufbau und Ausmessung einfacher Grundschaltungen der Elektronik
- Modellierung und Simulation integrierter Schaltungen
- Entwurf eines einfachen RISC-Prozessor in VHDL
- Synthese und Test des Prozessorentwurfs mit FPGA Prototypen Boards
- Programmierung des Prozessors in Maschinensprache



Studierende im Hardwarepraktikum

3.1.3. Grundlagen der Rechnerarchitektur / Advanced Processor Architecture (in English)

Bachelor-Studiengang Informatik, Bachelor-Studiengang Softwaretechnik, Bachelor-Studiengang Medieninformatik, Master-Studiengang Information Technology, Lecture and Exercises, 3L + 1E

Lecturer: M. A. Kochte

This lecture covers advanced concepts in computer architecture. Beside classical concepts like processor design and manufacturing, performance evaluation and optimization, and computer arithmetic new trends are discussed like low power design. Low power design is essential in mobile computing and communication which is a dominating application of microprocessors.

Computation power is increasing by exploiting parallelism on all levels of computation. This course discusses instruction level parallelism, thread level parallelism, multiprocessor systems and emerging many-core technologies found in current graphic accelerators.

The lecture provides a solid background for the courses:

- Design & Test of Systems-on-a-Chip
 - Hardware Verification
 - Self-Testable Systems
 - Fault Tolerant Systems
-

3.2. Master-of-Science- Studiengang

3.2.1. Hardware-based Fault Tolerance (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, International Master in Computer Science, Lecture and Exercises, 3L + 1E

Lecturer: H.-J. Wunderlich, C. Braun

Micro- and Nano-electronic systems exhibit failures both right after production and during their operation. Systems for which safety and security is of concern have to be designed in a way that the desired function can be delivered even if some components fail or produce erroneous outputs. This lecture presents the most important techniques that allow to assess reliability of a system as well as to design fault tolerant systems.

The topics of the lecture are as follows:

- Terminology
- Measures of fault tolerance
- Techniques for structural and time redundancy
- Error detection and diagnosis
- Fault masking, repair, reconfiguration
- Fault-tolerant distributed systems

3.2.2. Hardware Verification and Quality Assessment (in English)

Kernveranstaltung der Vertiefungslinie Rechnerarchitektur im Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Lecture and Exercises, 3L + 1E

Lecturer: H.-J. Wunderlich, L. Rodríguez Gómez

Microelectronic systems are more and more used in mission critical applications such as automotive, avionics and medical systems. Since errors during the design as well as manufacturing defects in these systems cannot be completely avoided system correctness has to be verified or validated with highest confidence.

This lecture gives an introduction to design validation and verification techniques which are applied in different steps of the design flow of integrated circuits. A second focus of the lecture are manufacturing test methods for integrated circuits in order to detect structural defects introduced during the production of the chip.

In the lecture the following issues are addressed:

- Design validation by simulation and hardware accelerated emulation
-

- Formal verification methods
- Defect analysis
- Hardware test (design-for-test, fault simulation, test generation)

3.2.3. Elements of High Performance RISC Processors - Design and Synthesis (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Exercises, 4E

Lecturer: L. Rodríguez Gómez, C. Liu

In this lab course a basic 32-bit RISC processor is extended with techniques common to high-performance processors.

The extensions include:

- Pipelining
- 4-way SIMD
- Pipelined hardware multiplier
- Cache, writeback queue, etc.

The resulting processor architecture is quite similar to the one used in the synergistic processing element of the Cell Broadband Engine, used e.g. in Playstation 3. In order to achieve high performance, proper design techniques and software tools for synthesis and analysis play an important role. The students learn how timing analysis, pipelining and retiming can be used to optimize the synthesis results. Finally, the processor is emulated on a Virtex-5 FPGA prototyping board.

The performance gain of the student's design is measured for the Mandelbrot set computation with respect to the basic RISC architecture. Because software has to be specifically tailored to high-performance processor architectures, the lab course also deals with scheduling techniques that avoid pipeline stalls.

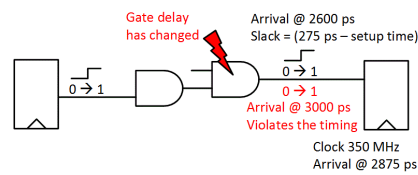
3.2.4. At-speed Test and Diagnosis of Small Delay Defects in Advanced Nanometer Technologies (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar; Master-Studiengang Information Technology, Seminar, 2HS

Lecturer: A. Dalirsani, C. Liu, E. Schneider, H.-J. Wunderlich

The CMOS technology downscales over and over, semiconductor companies have shipped devices of 14 nm technology in 2014. According to the international technology roadmap, in today's nanometer era, random delay defects will more likely cause failure.

The simple example below demonstrates how a delay defect may alter the intended circuit operation: You have designed your circuit with specific timing constraints and considered slacks to protect your design against uncertainties. However, it is not working as intended.



Delay test is used to detect timing related failures. Small delay defects do not cause sufficient delay increments which produce timing failures and hence cannot be detected by the traditional delay test methods. Testing ICs at-speed to detect small delay defects is thus highly effective to get to the root of these kind of failures.

This seminar covers the following topics, looking into the concept, challenges and advanced techniques for at-speed testing of small delay defects:

- Test and diagnosis methods
- Built-in Self-test
- Faster-than at-speed test
- Clock generation and power issues
- Yield and reliability issues

3.2.5. Sicherheit eingebetteter Systeme

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar,
2HS

Lecturer: D. Ull, L. Rodríguez Gómez, A. Schöll, H.-J. Wunderlich

Eingebettete Systeme dienen der Erfassung, Übertragung, Wandlung und Speicherung von Informationen. Dieser Oberbegriff umfasst Systeme unterschiedlicher Komplexität, angefangen bei kostengünstigen RFID-Tags, Sensoren und Smartcards bis hin zu komplexen Netzwerkroutern und elektronischen Steuergeräten im Automobilbereich. Der Einsatz eingebetteter Systeme findet in einer wachsenden Anzahl von Anwendungsbereichen mit unterschiedlichen Sicherheitsanforderungen statt. Insbesondere beim Einsatz in sicherheitskritischen Bereichen wie der Medizintechnik oder dem Transportwesen ist neben der Absicherung sensibler Daten auch der Schutz vor Manipulationen von größter Bedeutung.

Bei eingebetteten Systemen ist die Umsetzung von Sicherheitsanforderungen aufgrund bestehender Randbedingungen besonders herausfordernd. Ein hoher Kos-

tendruck bei Serienfertigungen beschränkt die zur Umsetzung von Sicherheitsfunktionen existierenden Ressourcen. Darüberhinaus sind eingebettete Systeme oftmals im Bezug auf ihren Energieverbrauch begrenzt, was den Einsatz rechenintensiver Kryptographiemethoden unmöglich macht. Weitere Anforderungen können der Schutz von intellektuellem Eigentum (IP), oder Test- und Diagnoseverfahren für sichere Hardware sein.

In diesem Seminar werden folgende Themengebiete diskutiert:

- Angriffsszenarien auf eingebettete Systeme (z.B. Seitenkanalattacken)
- Designmethoden für sichere Hardware
- Test & Diagnose sicherer Hardware
- Sicherheit von Mikroprozessoren, Mikrocontrollern und Smartcards
- Hardware Security Modules (HSMs), Trusted Platform Modules (TPMs)

3.2.6. Funktionale Sicherheit im Automobilbereich

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar,
ZHS

Lecturer: D. Ull, M. A. Kochte, C. Braun, H.-J. Wunderlich

Moderne Automobile sind hochkomplexe Systeme mit weit über 100 stark vernetzten Steuergeräten. Eine besondere Herausforderung ist es, bei einer wachsenden Komplexität dieser Systeme die Sicherheit von Insassen und Umwelt zu garantieren. Der Einsatz elektrischer / elektronischer Komponenten in sicherheitskritischen Bereichen unterliegt strengen Vorgaben bezüglich Verlässlichkeit & funktionaler Betriebssicherheit (functional safety).

Im Automobilbereich gilt Standard ISO 26262. Er beschreibt Metriken zur qualitativen Klassifikation von Betriebssicherheit, Methoden zur Gefahrenanalyse und Risikoabschätzung, sowie Gegenmaßnahmen zur Erkennung und Verhinderung von Gefahrensituationen. Dies bezieht sich auf den gesamten Sicherheitslebenszyklus einer Komponente, angefangen bei Entwurf und Fertigung über den sicheren Betrieb bis hin zur Entsorgung.

Die Umsetzung der Vorgaben geschieht mit unterschiedl. Methoden. Beim Schaltungsentwurf werden fehlertolerante und/oder redundante Architekturen gewählt. Entwürfe werden qualitativ durch eine Analyse von Ausfallarten und Effekten (FMEA) bewertet. Methoden der Graphentheorie werden zur Analyse von Fehlerzuständen (FTA) herangezogen. Formale Methoden helfen bei der Verifikation sicherheitskritischer Eigenschaften. Die Verwendung integrierter Teststrukturen, eingebauter Selbsttests (BIST) und software-basierter Selbsttests (SBST) steigert die Sicherheit im Feld und ermöglicht Diagnose.

Das Seminar behandelt wichtige Aspekte und Herausforderungen funktionaler Sicherheit nach ISO26262. Dies umfasst Methoden für Entwurf, Analyse, Verifikation, Betrieb, Test und Diagnose von fehlertoleranter Hardware im Automobil.

3.2.7. Into Darkness: Challenges in the Dark Silicon Era (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar; Master-Studiengang Information Technology, Seminar, ZHS

Lecturer: C. Braun, E. Schneider, A. Schöll, H.-J. Wunderlich

For decades, semiconductor technology scaling enabled the design and production of CMOS devices which comprised more, smaller, and faster transistors in each new technology generation. The so-called Dennard scaling allowed the reduction of threshold and supply voltage in accordance with the decreasing feature sizes. As a consequence, the required switching power of the transistors was also reduced and the overall power density of such devices was kept almost constant.



Unfortunately, with the advance into modern deep nanometer semiconductor technology nodes, leakage power emerged as a dominating factor and it became evident, that the transistor power consumption does no longer scale in accordance with the integration density. As a consequence, it will no longer be possible to switch on simultaneously all transistors that can be integrated on a chip, at least not if power and cooling budgets have to be kept.

Due to these fundamental developments, semiconductor technology is therefore now entering the so-called Era of Dark Silicon. Current predictions state that for the 8nm technology node up to 50% of the silicon will be dark, which means that only half of the transistors that can be integrated can actually be used at the same time.

Dark Silicon induces major challenges in all areas of modern semiconductor technology and electronic design automation. This seminar will cover some of the most important challenges in the context of:

- Processor and memory architectures
 - Design and implementation of circuits
 - Verification and validation
 - Test and diagnosis
 - Software and application development
-

3.3. Lehrveranstaltungen im Wintersemester 2015 - 2016

Titel	Veranstaltungsart	Dozent
Rechnerorganisation 1 3V	Vorlesung	H.-J. Wunderlich
Rechnerorganisation 1 1Ü	Übung	H.-J. Wunderlich E. Schneider D. Ull M. Wagner
Hardware-Based Fault-Tolerance 3V	Vorlesung	H.-J. Wunderlich C. Braun
Hardware-Based Fault-Tolerance 1Ü	Übung	H.-J. Wunderlich C. Braun
Elements of High-Performance RISC Processors - Design and Synthesis 4Ü	Fachpraktikum	L. Rodríguez Gómez C. Liu
Hauptseminar: At-speed Test and Diagnosis of Small Delay Defects in Advanced Nanometer Technologies 2HS	Hauptseminar	H.-J. Wunderlich Wiss. Mitarbeiter
Hauptseminar: Sicherheit eingebetteter Systeme 2HS	Hauptseminar	H.-J. Wunderlich Wiss. Mitarbeiter
Kolloquium Rechnerarchitektur 2K	Seminar	H.-J. Wunderlich Wiss. Mitarbeiter

3.4. Lehrveranstaltungen im Sommersemester 2016

Titel	Veranstaltungsart	Dozent
Rechnerorganisation 2 Hardwarepraktikum 1V	Vorlesung	H.-J. Wunderlich E. Schneider D. Ull M. Wagner
Rechnerorganisation 2 Hardwarepraktikum 4Ü	Übung	E. Schneider D. Ull M. Wagner H.-J. Wunderlich
Advanced Processor Architecture 3V	Vorlesung	M. A. Kochte
Advanced Processor Architecture 1Ü	Übung	M. A. Kochte
Grundlagen der Rechnerarchitektur 3V	Vorlesung	M. A. Kochte
Grundlagen der Rechnerarchitektur 1Ü	Übung	M. A. Kochte
Hardware Verification and Quality Assessment 3V	Vorlesung	H.-J. Wunderlich L. Rodríguez Gómez
Hardware Verification and Quality Assessment 1Ü	Übung	L. Rodríguez Gómez
Hauptseminar: Funktionale Sicher- heit im Automobilbereich 2HS	Hauptseminar	H.-J. Wunderlich D. Ull
Hauptseminar: Into Darkness: Challenges in the Dark Silicon Era 2HS	Hauptseminar	H.-J. Wunderlich C. Braun
Oberseminar Rechnerarchitektur 2K	Seminar	H.-J. Wunderlich Wiss. Mitarbeiter

3.5. Oberseminar

Im Rahmen des Oberseminars stellen Studierende und wissenschaftliche Mitarbeiterinnen und Mitarbeiter wesentliche Ergebnisse ihrer (Bachelor-, Master- und Doktor-) Arbeiten vor. In einem ca. halbstündigen Vortrag plus anschließender Diskussion werden die Kernpunkte der eigenen Arbeit und Leistung dargestellt.

Ein erfolgreich absolviertes Oberseminar ist zudem Voraussetzung, um am Institut eine Abschlussarbeit abzuschließen. Es folgt die Übersicht über die Vorträge des Studienjahrs 2015 / 2016.

Efficient Algorithms for Fundamental Statistical Timing Analysis Problems in Delay Test Applications of VLSI Circuits

Dipl.-Inf. Marcus Wagner, Institut für Technische Informatik, 10.02.2016

Tremendous advances in semiconductor process technology are creating new challenges for the delay test of today's digital VLSI circuits. The complexity of state-of-the-art manufacturing processes does not only lead to greater process variability, it also makes today's integrated circuits more prone to defects such as resistive shorts and opens. As a consequence, some of the manufactured circuits do not meet the timing requirements set by the design specification. These circuits must be identified by delay testing and sorted out to ensure the quality of shipped products. Due to the increasing process variability, key transistor and interconnect parameters must be modelled as random variables. These random variables capture the uncertainty caused by process variability, but also the impact of modelling errors and variations in the operating conditions of the circuits, such as the temperature or the supply voltage. The important consequence for delay testing is that a particular delay test detects a delay fault of fixed size in only a subset of all manufactured circuits, which inevitably leads to the shipment of defective products. Despite the fact that this problem is well understood, today's delay test generation methods are unable to consider the distortion of the delay test results, caused by process variability. To analyse and predict the effectiveness of delay tests in a population of circuits which are functionally identical but have varying timing properties, statistical timing analysis is necessary. Although the large runtime of statistical timing analysis is a well known problem, little progress has been made in the development of efficient statistical timing analysis algorithms for the variability-aware delay test generation and delay fault simulation. This dissertation proposes novel and efficient statistical timing analysis algorithms for the variability-aware delay test generation and delay fault simulation in presence of large delay variations. For the detection of path delay faults, a novel probabilistic sensitization analysis is presented which analyses the impact of process variations on the sensitization of the target paths. Furthermore, an efficient method for approximating the probability of detecting small delay faults is presented. Beyond that, efficient statistical SUM and MAX-operations are proposed, which provide the fundamental basis of block-based statistical timing analysis. The experiment results demonstrate the high efficiency of the proposed algorithms.

Efficient and Fault-Tolerant Simulation on Runtime Reconfigurable Heterogeneous Computer Architectures

Dipl.-Inf. Alexander Schöll, Institut für Technische Informatik, 10.02.2016

Runtime reconfigurable heterogeneous computer architectures provide high computational performance, but induce increased burdens on the software side to exploit this performance. Besides, the growing spectrum of reliability threats for such nano-scaled CMOS devices makes fault tolerance to one of the most important challenges. This talks discusses challenges and opportunities related to modern heterogeneous computer architectures and presents the current state of research.

Delay Test Point for Small Delay Fault Detection

M.Sc. Chang Liu, Institut für Technische Informatik, 10.02.2016

Aggressive technology scaling comes along with increasing parameter variations and a growing occurrence possibility of manufacturing-related defects. The scaled supply power of the shrinking devices reduces the noise immunity and makes the circuit highly susceptible to small delay deviations. As a result, recently small delay fault (SDF) testing becomes a hot spot of research. Although the extra delay induced by SDF is small in size, it may lead to timing failures during operation or grows into an early life failure (ELF) in the field. The burn-in approach for "infant mortality" is too costly for normal priced ICs. The traditional at-speed delay testing schemes either fail to provide high test coverage of SDFs or require a large number of test patterns and long test performing time. To ensure the high reliability of the system, aging monitors are widely integrated in-field of recent designs. In this work, we try to reuse the stability checkers (SCs) in the aging monitoring structure for SDF detection. Aiming at the improvement of SDF coverage as well as the minimization of test cost, the optimized test pattern groups and the corresponding detection interval configuration of the aging monitors are investigated.

Machine learning support for logic diagnosis

Dipl.-Inf. Laura Rodríguez Gómez, Institut für Technische Informatik, 10.02.2016

In order to reduce the number of defective parts and increase yield, especially in early stages of production, systematic defects must be identified and corrected as soon as possible. Unfortunately, the lack of accurate representations of physical defects at logic level prevents us from easily relating test outcomes to the underlying defect mechanism. Although there is a great variety of techniques to physically analyze the chip, such an analysis is very costly, particularly in terms of time. Logic diagnosis techniques may simplify physical failure analysis (PFA) by narrowing down the chip area to be studied. However, they mainly focus on identifying the location of the problem, and provide little insight into the defect types. This paper introduces a machine-learning approach to relate test outcomes to the underlying structural faults. The fault classification method presented here is able to extract underlying fault types with high confidence by identifying relevant features from logic simulation. This way, reliable early warnings can be created that the frequency of certain fault types is changing, even if it is not yet seen in significant yield loss nor is it already confirmed by costly PFA. The concept is validated by using a couple of fault models which could easily be extended.

High-Throughput Transistor-Level Fault Simulation on GPUs

Dipl.-Inf. Eric Schneider, Institut für Technische Informatik, 11.02.2016

Deviations in the first-order parasitics of CMOS cells can lead to severe errors in the functional and time domain. With increasing sensitivity of these parameters to variation and manufacturing defects, parasitic-aware fault simulation is becom-

ing crucial. Traditional approaches assuming higher-level simulation models are not sufficient to capture the impact of deviations in these parameters in an accurate manner. Evaluation at electrical level on the other hand lacks execution speed and quickly becomes inapplicable to larger designs due to high computational demands. This work presents a novel fault simulation approach considering first-order parasitics in CMOS circuits at transistor granularity. The approach utilizes massively parallelized time simulation for high-throughput acceleration on Graphics Processing Units (GPUs). With the lower level of abstraction and exploitation of parallelism of cells, stimuli and faults, the simulator outperforms even standard logic level simulation, such that accurate coverage information can be acquired for designs with millions of gates.

ABFT for Sparse Matrix Operations

Dr. Claus Braun, Institut für Technische Informatik, 11.02.2016

Algorithm-Based Fault Tolerance (ABFT) is a very effective and efficient option for improving the reliability of essential mathematical kernels such as linear algebra operations. ABFT schemes have been successfully developed for matrix operations and decompositions, as well as operations like the Fast-Fourier-Transformation. ABFT schemes for matrices typically target dense linear algebra operations. However, in scientific computing and simulation technology, many applications deal with sparse systems. Although classic ABFT can be directly applied to such systems, higher efficiency and performance might be achievable with ABFT schemes tailored to this kind of systems. This talk reviews the state of the art for ABFT targeting sparse linear algebra operations.

Dynamic Test Program Compaction

Dipl.-Inf. Dominik Ull, Institut für Technische Informatik, 11.02.2016

Automated software-based self-test (SBST) generation for processor-based systems typically targets high fault coverage rather than minimized program size, although program size and test time are key factors for the viability of SBST methodologies. Known approaches for test sequence compaction are not applicable to test programs, as these are carefully generated under functional constraints, comprise very few don't care bits and cannot be freely reordered. We propose a formal test program generation method, which targets high fault coverage and high compaction ratio for the generic conditional line flip fault model. The search for an instruction sequence targeting multiple faults is mapped to a maximum satisfiability (maxSAT) problem, thus maximizing the number of detected faults per pattern. Fault grouping is employed to lower the computational test generation effort.

Distribution-Aware WSA-based IRA-Drop Estimation

Assist. Prof. Yuta Yamato, NAIST Japan / Institut für Technische Informatik, 11.02.2016

Test pattern validation has become crucial to avoid test-induced yield loss in high-

speed and/or low-voltage VLSIs that have smaller timing margin and are susceptible to voltage drop. However, applying precise circuit level analysis to thousands of patterns is impractical since it is too time-consuming. To quickly estimate IR-drop, a method that exploits a good correlation between whole circuit power and per-cell IR-drop has been proposed and achieved significant speed-up with certain accuracy. However, estimation accuracy of this method may degrade for a pattern with locally high switching density. In this talk, a more accurate and yet scalable IR-drop estimation method is presented.

Realistic gate model for efficient timing analysis of very deep submicron CMOS circuits

M.Sc. cand. Deepthi Murali, Institut für Technische Informatik, 14.04.2016

The continuously shrinking technology has made it possible for designers to incorporate more functionality with better performance at a much higher density in Integrated Circuits(ICs). Fast and accurate timing simulation of such large circuit designs using ever more complex transistor models has become a challenging problem. In modern circuits, the gate delay is severely affected by process variations, environmental variations and cross talk. Moreover, technology scaling has also resulted in significant increase in interconnect parasitics (including resistors and capacitors) which can dramatically reduce the performance of a circuit. For the circuit design validation and delay test evaluation, the industry has long relied on fast gate-level timing simulators like ModelSim to validate the designs. However, with continued scaling and steadily increasing circuit performance requirements, gate level simulators can no longer provide acceptable simulation accuracy. On the other hand, circuit level SPICE simulation provides acceptable accuracy but at a very large computational cost. To provide a suitable trade-off between the accuracy of the SPICE simulation and the speed of the gate level simulation, this thesis proposes a realistic gate model which can be used for the fast and accurate timing simulation of circuits to analyze their timing behaviour. In this thesis, a heterogeneous gate model that combines a simple gate model like NonLinear Delay Model(NLDMs) and an advanced current source model(CSM) using a classifier is proposed. The simple gate model allows fast timing simulation and gives acceptable accuracy in many cases while the advanced gate model always provides more accurate and reliable results, but at a much higher computational cost. The classifier is designed to choose the advanced gate model depending on special cases (eg, multiple input switching) where the simple gate model gives inappropriate results. This heterogeneous gate model is further applied to develop a circuit simulator that enables fast and accurate post-layout and delay fault simulation.

Extending Approximate Computing to Iterative Linear Solvers using Fault Tolerance

Dipl.-Inf. Alexander Schöll, Institut für Technische Informatik, 25.07.2016

A new technique is presented that allows to execute the preconditioned conjugate gradient (PCG) solver on approximate hardware while ensuring correct solver results. This technique expands the scope of approximate computing to scientific and

engineering applications. The changing error resilience of PCG during the solving process is exploited by different levels of approximation which trade off numerical precision and hardware utilization. Such approximation levels are determined at runtime by periodically estimating the error resilience. An efficient fault tolerance technique allows reductions in hardware utilization by ensuring the continued exploitation of maximum allowed energy-accuracy trade-offs. Experimental results show that the hardware utilization is reduced on average by 14.5% and by up to 41.0% compared to executing PCG on accurate hardware.

Reuse of Stability Checker for Small Delay Fault Detection

M.Sc. Chang Liu, Institut für Technische Informatik, 25.07.2016

Aggressive technology scaling comes along with a growing occurrence possibility of manufacturing-related defects. The scaled supply power of the shrinking devices reduces the noise immunity and makes the circuit highly susceptible to small delay deviations. Although the extra delay induced by Small Delay Faults (SDFs) is small in size, it may lead to timing failures during operation or grows into an early life failure (ELF) in the field. The burn-in approach for “infant mortality” is too costly for normal priced ICs. The traditional at-speed delay testing schemes either fail to provide high test coverage of SDFs or require a large number of test patterns and long test performing time. To ensure the high reliability of the system, delay monitors are widely integrated in-field for aging prediction. In this work, we try to reuse the aging monitors for detection of SDFs, aiming at the improvement of SDF coverage as well as the minimization of test cost. In the proposed method, the detection window of aging monitors is reconfigured for the purpose of delay test. To prevent false alert from the monitors, the test pattern set is tailored and the monitors are enabled /disabled according to the test frequencies. We model the pattern and monitor adjustment issue as a Boolean Optimization problem for maximization of target fault coverage. The promising results of experiments show that a high coverage of target faults is achieved by performing the test at a group of fast test frequencies.

An Integrated Framework for Hardware/Software Co-Characterization in Approximate Computing

Dr. Claus Braun, Institut für Technische Informatik, 25.07.2016

Approximate Computing is an emerging paradigm in computer science, which is based on the idea of trading precision and accuracy against a reduced power consumption, increased performance and overall reduced hardware cost. Approximate computing is not limited to the domain of computer architecture, but spans the whole system stack from the device and circuit layer over RTL and the architecture up to the operating system, the algorithms and the applications. In order to exploit the benefits of Approximate Computing at all these layers, in particular for applications which are not inherently error-tolerant, appropriate design and validation tools are required. The detailed characterization of software/algorithm and approximate computing hardware structures plays an essential role in this context. In this talk, an integrated framework for the co-characterization of software and

hardware is introduced and first results are presented.

HiTOPS: High-Throughput Oriented Parallel Switch-Level Simulation on GPUs

Dipl.-Inf. Eric Schneider, Institut für Technische Informatik, 25.07.2016

HiTOPS is a scalable simulation model for timing simulation of CMOS circuits that allows to model functional and timing aspects with transistor granularity. Despite the lower level of abstraction, the underlying algorithms fit well into the environment of data-parallel architectures, such as Graphics Processing Units (GPUs), able to achieve speedups that outperform even traditional timing simulators at gate-level. This talk summarizes the basic concepts of HiTOPS and outlines ongoing extensions as well as future modifications.

Transparent Online Test of Reconfigurable Accelerators

Dipl.-Inf. Dominik Ull, Institut für Technische Informatik, 26.0.2016

Latest semiconductor technology is prone to a variety of reliability threats. A valuable countermeasure is the integration of structural online tests into functional applications. These tests must comply to strict runtime requirements, and may not alter functional behaviour. Furthermore, they affect system performance. We propose an ATPG procedure which generates structural post-configuration online tests for sequential reconfigurable accelerators. We define transparency conditions which guide the SAT-based ATPG process to find sequences, which do not alter preserved state bits of the accelerator under test. This enables a seamless integration of online test periods into functional applications.

Dependable On-Chip Infrastructure

Dr. Michael A. Kochte, Institut für Technische Informatik, 26.07.2016

Today's chips employ complex on-chip infrastructure and instrumentation for efficient test, debug, diagnosis, and post-silicon validation, reliability management and maintenance in the field, or monitoring and calibration during operation. To enable flexible and efficient access to such instrumentation, reconfigurable scan networks (RSNs) as recently standardized by IEEE Std 1687 can be used. Given the importance of infrastructure for the dependability of the whole system, however, the RSN itself must be highly dependable. This talk addresses dependability issues of RSNs including test, robustness, and security, and the sketches required modeling and design approaches.

A hybrid Chaos-AES encryption algorithm and its implementation on FPGA

M.Sc. Ahmed Atteya, Institut für Technische Informatik, 26.07.2016

Chaos theory is being used more and more in developing secure and high throughput encryption algorithms in hardware implementations. That is due to the unpre-

dictable behavior of chaotic functions. This highly random behavior allows them to be utilized as Pseudo Random Number Generators (PRNG). Small changes in the initial conditions cause chaotic functions to produce different results, which fulfills the high sensitivity to initial conditions that all secure encryption algorithms require. The AES algorithm is highly secure but requires many rounds of encryption to achieve this security. In this work a hybrid Chaos-AES algorithm is proposed that combines some stages from AES with the Henon 2-D chaotic function to achieve a high throughput and high security encryption algorithm. The technique is implemented on a Virtex 5 FPGA platform. It uses 1496 LUTs from FPGA fabric and delivers a throughput of 11.57 Gb/s and passes all NIST SP. 800-22 statistical test suit for PRNGs used in encryption algorithms. The implementation was incorporated in a run-time partially reconfigurable system on the FPGA. This would allow the flexibility of using different encryption algorithms based on different security, performance or other metrics during operation.

Feature Learning for Fault Classification

Dipl.-Inf. Laura Rodríguez Gómez, Institut für Technische Informatik, 26.07.2016

Machine learning is widely used in problems which cannot be solved with fixed rules, i.e., in an if-then-else fashion. Such methods have recently raised interest in the diagnosis logic community, since they allow for new approaches in yield learning and defect identification. However, the success of these techniques heavily depends on many factors, among others, the chosen features. To avoid this, so-called self-taught learning methods have been presented, which can identify relevant structures in the features. This talk presents on-going work about the use of stacked autoencoders as support for fault classification.

3.6. Dissertation

3.6.1. Michael E. Imhof: Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults

Dipl. Inf. Michael E. Imhof: Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults

Hauptberichter: Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Mitberichter: Prof. Dr. rer. nat. habil. Sybille Hellebrand, Universität Paderborn

Prüfung: 15.09.2015

Publikationsdatum: 04.11.2015

Abstract:

The evolution of digital circuits from a few application areas to omnipresence in everyday life has been enabled by the ability to dramatically increase integration density through scaling. However, the continuation of scaling gets more difficult with every generation and poses severe challenges on reliability.

Throughout the manufacturing process the appearance of defects cannot be avoided and further deteriorates with scaling. Hence, the reliability at timepoint zero denoted by the manufacturing yield is not ideal and some defective chips will produce wrong output signals. For this reason, the presence of such hard faults needs to be shown prior to delivery during test where automatic test equipment (ATE) is used to apply a test set that covers a predefined set of modeled defects. As some potential defect locations are hard to test using the chips operational interface, additional dedicated test infrastructure is included on chip that provides test access.

Throughout the operational lifetime reliability is threatened by soft errors that originate from interactions of radiation with semiconductor devices and potentially manifest in sequential state corruptions. With further raising soft error rates aggravated by scaling high reliability is maintained by the inclusion of fault tolerance infrastructure able to detect, localize and ideally correct soft errors. Thus, the orthogonal combination of two independent infrastructures elevates the area overhead although test support and fault tolerance are never required concurrently.

This work proposes a unified architecture that employs a common infrastructure to provide fault tolerance during operation and test access during test. Similarities between both fields are successfully exploited and traced back to the combination of an efficient sequential state checksum with an effective state update by bit-flipping.

Experiments on public and industrial circuits evaluate the unified architecture in both fields and show an improved area efficiency as well as successful correction during fault tolerance. During test, the results substantiate advantages with respect to test time, test volume, peak and average test power as well as test energy.

3.7. Master-Arbeit

3.7.1. Deepthi Murali: Realistic gate model for efficient timing analysis of very deep submicron CMOS circuits

Betreuer: Marcus Wagner

Abgabedatum: 15.03.2016

Abstract:

The continuously shrinking technology has made it possible for designers to incorporate more functionality with better performance at a much higher density in Integrated Circuits (ICs). Fast and accurate timing simulation of such large circuit designs using ever more complex transistor models has become a challenging problem. In modern circuits, the gate delay is severely affected by process variations, environmental variations and cross talk. Moreover, technology scaling has also resulted in significant increase in interconnect parasitics (including resistors and capacitors) which can dramatically reduce the performance of a circuit. For the circuit design validation and delay test evaluation, the industry has long relied on fast gate-level timing simulators like ModelSim to validate the designs. However, with continued scaling and steadily increasing circuit performance requirements, gate level simulators can no longer provide acceptable simulation accuracy. On the other hand, circuit level SPICE simulation provides acceptable accuracy but at a very large computational cost. To provide a suitable trade-off between the accuracy of the SPICE simulation and the speed of the gate level simulation, this thesis proposes a realistic gate model which can be used for the fast and accurate timing simulation of circuits to analyze their timing behaviour. In this thesis, a heterogeneous gate model that combines a simple gate model like Non-Linear Delay Model (NLDMs) and an advanced current source model (CSM) using a classifier is proposed. The simple gate model allows fast timing simulation and gives acceptable accuracy in many cases while the advanced gate model always provides more accurate and reliable results, but at a much higher computational cost. The classifier is designed to choose the advanced gate model depending on special cases (eg, multiple input switching) where the simple gate model gives inappropriate results. This heterogeneous gate model is further applied to develop a circuit simulator that enables fast and accurate post-layout and delay fault simulation.

4. Publikationen

4.1. Zeitschriften und Konferenzberichte

4.1.1. Low-Overhead Fault-Tolerance for the Preconditioned Conjugate Gradient Solver

Schöll, A., Braun, C., Kochte, M.A. and Wunderlich, H.-J.

Proceedings of the International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'15), Amherst, Massachusetts, USA, 12-14 October 2015, pp. 60-65

doi: <http://dx.doi.org/10.1109/DFT.2015.7315136>

Linear system solvers are an integral part for many different compute-intensive applications and they benefit from the compute power of heterogeneous computer architectures. However, the growing spectrum of reliability threats for such nano-scaled CMOS devices makes the integration of fault tolerance mandatory. The preconditioned conjugate gradient (PCG) method is one widely used solver as it finds solutions typically faster compared to direct methods. Although this iterative approach is able to tolerate certain errors, latest research shows that the PCG solver is still vulnerable to transient effects. Even single errors, for instance, caused by marginal hardware, harsh environments, or particle radiation, can considerably affect execution times, or lead to silent data corruption. In this work, a novel fault-tolerant PCG solver with extremely low runtime overhead is proposed. Since the error detection method does not involve expensive operations, it scales very well with increasing problem sizes. In case of errors, the method selects between three different correction methods according to the identified error. Experimental results show a runtime overhead for error detection ranging only from 0.04% to 1.70%.

4.1.2. STRAP: Stress-Aware Placement for Aging Mitigation in Runtime Reconfigurable Architectures

Zhang, H., Kochte, M.A., Schneider, E., Bauer, L., Wunderlich, H.-J. and Henkel, J.

Proceedings of the 34th IEEE/ACM International Conference on Computer-Aided Design (ICCAD'15), Austin, Texas, USA, 2-6 November 2015, pp. 38-45

url: <http://dl.acm.org/citation.cfm?id=2840825>

Aging effects in nano-scale CMOS circuits impair the reliability and Mean Time to Failure (MTTF) of embedded systems. Especially for FPGAs that are manufactured in the latest technology node, aging is a major concern. We introduce the first

cross-layer aging-aware placement method for accelerators in FPGA-based runtime reconfigurable architectures. It optimizes stress distribution by accelerator placement at runtime, i.e. to which reconfigurable region an accelerator shall be re-configured. Additionally, it optimizes logic placement at synthesis time to diversify the resource usage of individual accelerators, i.e. which CLBs of a reconfigurable region shall be used by an accelerator. Both layers together balance the intra- and inter-region stress induced by the application workload at negligible performance cost. Experimental results show significant reduction of maximum stress of up to 64% and 35%, which leads to up to 177% and 14% MTTF improvement relative to state-of-the-art methods w.r.t. HCI and BTI aging, respectively.

4.1.3. Intermittent and Transient Fault Diagnosis on Sparse Code Signatures

Kochte, M.A., Dalirsani, A., Bernabei, A., Omana, M., Metra, C. and Wunderlich, H.-J.

Proceedings of the 24th IEEE Asian Test Symposium (ATS'15), Mumbai, India, 22-25 November 2015, pp. 157-162

doi: <http://dx.doi.org/10.1109/ATS.2015.34>

Failure diagnosis of field returns typically requires high quality test stimuli and assumes that tests can be repeated. For intermittent faults with fault activation conditions depending on the physical environment, the repetition of tests cannot ensure that the behavior in the field is also observed during diagnosis, causing field returns diagnosed as no-trouble-found. In safety critical applications, self-checking circuits, which provide concurrent error detection, are frequently used. To diagnose intermittent and transient faulty behavior in such circuits, we use the stored encoded circuit outputs in case of a failure (called signatures) for later analysis in diagnosis. For the first time, a diagnosis algorithm is presented that is capable of performing the classification of intermittent or transient faults using only the very limited amount of functional stimuli and signatures observed during operation and stored on chip. The experimental results demonstrate that even with these harsh limitations it is possible to distinguish intermittent from transient faulty behavior. This is essential to determine whether a circuit in which failures have been observed should be subject to later physical failure analysis, since intermittent faulty behavior has been diagnosed. In case of transient faulty behavior, it may still be operated reliably.

4.1.4. Optimized Selection of Frequencies for Faster-Than-at-Speed Test

Kampmann, M., Kochte, M.A., Schneider, E., Indlekofer, T., Hellebrand, S. and Wunderlich, H.-J.

Proceedings of the 24th IEEE Asian Test Symposium (ATS'15), Mumbai, India, 22-25 November 2015, pp. 109-114

doi: <http://dx.doi.org/10.1109/ATS.2015.26>

Small gate delay faults (SDFs) are not detectable at-speed, if they can only be propagated along short paths. These hidden delay faults (HDFs) do not influence the circuit's behavior initially, but they may indicate design marginalities leading to early-life failures, and therefore they cannot be neglected. HDFs can be detected by faster-than-at-speed test (FAST), where typically several different frequencies are used to maximize the coverage. A given set of test patterns P potentially detects a HDF if it contains a test pattern sensitizing a path through the fault site, and the efficiency of FAST can be measured as the ratio of actually detected HDFs to potentially detected HDFs. The paper at hand targets maximum test efficiency with a minimum number of frequencies. The procedure starts with a test set for transition delay faults and a set of preselected equidistant frequencies. Timing-accurate simulation of this initial setup identifies the hard-to-detect faults, which are then targeted by a more complex timing-aware ATPG procedure. For the yet undetected HDFs, a minimum number of frequencies are determined using an efficient hypergraph algorithm. Experimental results show that with this approach, the number of test frequencies required for maximum test efficiency can be reduced considerably. Furthermore, test set inflation is limited as timing-aware ATPG is only used for a small subset of HDFs.

4.1.5. Logic/Clock-Path-Aware At-Speed Scan Test Generation for Avoiding False Capture Failures and Reducing Clock Stretch

Asada, K., Wen, X., Holst, S., Miyase, K., Kajihara, S., Kochte, M.A., Schneider, E., Wunderlich, H.-J. and Qian, J.

Proceedings of the 24th IEEE Asian Test Symposium (ATS'15), Mumbai, India, 22-25 November 2015, pp. 103-108

doi: <http://dx.doi.org/10.1109/ATS.2015.25>

IR-drop induced by launch switching activity (LSA) in capture mode during at-speed scan testing increases delay along not only logic paths (LPs) but also clock paths (CPs). Excessive extra delay along LPs compromises test yields due to false capture failures, while excessive extra delay along CPs compromises test quality due to test clock stretch. This paper is the first to mitigate the impact of LSA on both LPs and CPs with a novel LCPA (Logic/Clock-Path-Aware) at-speed scan test generation scheme, featuring a new metric for assessing the risk of false capture failures based on the amount of LSA around both LPs and CPs, a procedure for avoiding false capture failures by reducing LSA around LPs or masking uncertain test responses, and a procedure for reducing test clock stretch by reducing LSA around CPs. Experimental results demonstrate the effectiveness of the LCPA scheme in improving test yields and test quality.

4.1.6. Accurate QBF-based Test Pattern Generation in Presence of Unknown Values

Erb, D., Kochte, M.A., Reimer, S., Sauer, M., Wunderlich, H.-J. and Becker, B.

IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD) Vol. 34(12), December 2015, pp. 2025-2038
doi: <http://dx.doi.org/10.1109/TCAD.2015.2440315>

Unknown (X) values emerge during the design process as well as during system operation and test application. X-sources are for instance black boxes in design models, clockdomain boundaries, analog-to-digital converters, or uncontrolled or uninitialized sequential elements. To compute a test pattern for a given fault, well-defined logic values are required both for fault activation and propagation to observing outputs. In presence of X-values, conventional test generation algorithms, based on structural algorithms, Boolean satisfiability (SAT), or BDD-based reasoning may fail to generate test patterns or to prove faults untestable. This work proposes the first efficient stuck-at and transitiondelay fault test generation algorithm able to prove testability or untestability of faults in presence of X-values. It overcomes the principal pessimism of conventional algorithms when X-values are considered by mapping the test generation problem to the satisfiability of Quantified Boolean Formulae (QBF). Experiments on ISCAS benchmarks and larger industrial circuits investigate the increase in fault coverage for conventional deterministic and potential detection requirements for both randomized and clustered X-sources.

4.1.7. Mixed 01X-RSL-Encoding for Fast and Accurate ATPG with Unknowns

Erb, D., Scheibler, K., Kochte, M.A., Sauer, M., Wunderlich, H.-J. and Becker, B.

Proceedings of the 21st Asia and South Pacific Design Automation Conference (ASP-DAC'16), Macao SAR, China, 25-28 January 2016 , pp. 749-754
doi: <http://dx.doi.org/10.1109/ASPDAC.2016.7428101>

Unknown (X) values in a design introduce pessimism in conventional test generation algorithms which results in a loss of fault coverage. This pessimism is reduced by a more accurate modeling and analysis. Unfortunately, accurate analysis techniques highly increase runtime and limit scalability. One promising technique to prevent high runtimes while still providing high accuracy is the use of restricted symbolic logic (RSL). However, also pure RSL-based algorithms reach their limits as soon as million gate circuits need to be processed. In this paper, we propose new ATPG techniques to overcome such limitations. An efficient hybrid encoding combines the accuracy of RSL-based modeling with the compactness of conventional threevalued encoding. A low-cost two-valued SAT-based untestability check is able to classify most untestable faults with low runtime. An incremental and event-based accurate fault simulator is introduced to reduce fault simulation effort. The experiments demonstrate the effectiveness of the proposed techniques. Over 97% of the faults are accurately classified. Both the number of aborts and the total runtime are significantly reduced compared to the state-of-the-art pure RSL-based algorithm. For circuits up to a million gates, the fault coverage could be increased considerably compared to a state-of-the-art commercial tool with very competitive runtimes.

4.1.8. Dependable On-Chip Infrastructure for Dependable MPSOCs

Kochte, M.A. and Wunderlich, H.-J.

Proceedings of the 17th IEEE Latin American Test Symposium (LATS'16), Foz do Iguaçu, Brazil, 6-8 April 2016, pp. 183-188

doi: <http://dx.doi.org/10.1109/LATW.2016.7483366>

Today's MPSOCs employ complex on-chip infrastructure and instrumentation for efficient test, debug, diagnosis, and post-silicon validation, reliability management and maintenance in the field, or monitoring and calibration during operation. To enable flexible and efficient access to such instrumentation, reconfigurable scan networks (RSNs) as recently standardized by IEEE Std 1687 can be used. Given the importance of infrastructure for the dependability of the whole MPSOC, however, the RSN itself must be highly dependable. This paper addresses dependability issues of RSNs including verification, test, and security, and their importance for dependable MPSOCs. First research results are summarized, and open questions for future work are highlighted.

4.1.9. Fault Tolerance of Approximate Compute Algorithms

Wunderlich, H.-J., Braun, C. and Schöll, A.

Proceedings of the 34th VLSI Test Symposium (VTS'16), Caesars Palace, Las Vegas, Nevada, USA, 25-27 April 2016

doi: <http://dx.doi.org/10.1109/VTS.2016.7477307>

Approximate computing algorithms cover a wide range of different applications and the boundaries to domains like variable-precision computing, where the precision of the computations can be online adapted to the needs of the application, as well as probabilistic and stochastic computing, which incorporate stochastic processes and probability distributions in the target computations, are sometimes blurred. The central idea of purely algorithm-based approximate computing is to transform algorithms, without necessarily requiring approximate hardware, to trade-off accuracy against energy. Early termination of algorithms that exhibit incremental refinement reduces iterations at the cost of accuracy. Loop perforation approximates iteratively-computed results by identifying and reducing loops that contribute only insignificantly to the solution. Another group of approximate algorithms is represented by neural networks, which can be trained to mimic certain algorithms and to compute approximate results. Today, approximate computing is predominantly proposed for applications in multimedia and signal processing with a certain degree of inherent error tolerance. However, in order to fully utilize the benefits of these architectures, the scope of applications has to be significantly extended to other computeintensive tasks, for instance, in science and engineering. Such an extension requires that the allowed error or the required minimum precision of the application is either known beforehand or reliably determined online to deliver trustworthy and useful results. Errors outside the allowed range have to be reliably detected and tackled by appropriate fault tolerance measures.

4.1.10. SHIVA: Sichere Hardware in der Informationsverarbeitung

Kochte, M.A., Sauer, M., Raiola, P., Becker, B. and Wunderlich, H.-J.

Proceedings of the ITG/GI/GMM edaWorkshop 2016, Hannover, Germany, 11-12 May 2016

url: <http://www.book-on-demand.de/shop/14818>

Das Projekt "SHIVA: Sichere Hardware in der Informationsverarbeitung" ist Teil des Forschungsprogramms "IKTSicherheit für weltweit vernetzte vertrauenswürdige Infrastrukturen" der Baden-Württemberg Stiftung. Ziel des Projekts sind die Erforschung von Entwurfs- und Verifikationsmethoden zur Steigerung der Sicherheit mikroelektronischer Hardware, beispielsweise aus der Automobilelektronik, der Medizintechnik oder auch der Fertigungstechnik. Es soll damit die missbräuchliche Verwendung nicht-funktionaler Hardware-Infrastruktur zur Beobachtung interner sensibler Daten, verwendeter Verfahren und Prozesse sowie zu Angriffen auf das geistige Eigentum an der Hardware ausgeschlossen werden. Das Projekt ist eine Kooperation des Instituts für Technische Informatik (ITI) der Universität Stuttgart und des Lehrstuhls für Rechnerarchitektur der Universität Freiburg. Dieser Beitrag stellt die Projektziele und erste Forschungsergebnisse vor.

4.1.11. Formal Verification of Secure Reconfigurable Scan Network Infrastructure

Kochte, M.A., Baranowski, R., Sauer, M., Becker, B. and Wunderlich, H.-J.

Proceedings of the 21st IEEE European Test Symposium (ETS'16), Amsterdam, The Netherlands, 23-27 May 2016 , pp. 1-6

doi: <http://dx.doi.org/10.1109/ETS.2016.7519290>

Reconfigurable scan networks (RSN) as standardized by IEEE Std 1687 allow flexible and efficient access to on-chip infrastructure for test and diagnosis, post-silicon validation, debug, bring-up, or maintenance in the field. However, unauthorized access or manipulation of the attached instruments, monitors, or controllers pose security and safety risks. Different RSN architectures have recently been proposed to implement secure access to the connected instruments, for instance by authentication and authorization. To ensure that the implemented security schemes cannot be bypassed, design verification of the security properties is mandatory. However, combinational and deep sequential dependencies of modern RSNs and their extensions for security require novel approaches to formal verification for unbounded model checking. This work presents for the first time a formal design verification methodology for security properties of RSNs based on unbounded model checking that is able to verify access protection at logical level. Experimental results demonstrate that state-of-the-art security schemes for RSNs can be efficiently handled, even for very large designs.

4.1.12. Efficient Algorithm-Based Fault Tolerance for Sparse Matrix Operations

Schöll, A., Braun, C., Kochte, M.A. and Wunderlich, H.-J.

Proceedings of the 46th Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN'16), Toulouse, France, 28 June-1 July 2016, pp. 251-262

doi: <http://dx.doi.org/10.1109/DSN.2016.31>

We propose a fault tolerance approach for sparse matrix operations that detects and implicitly locates errors in the results for efficient local correction. This approach reduces the runtime overhead for fault tolerance and provides high error coverage. Existing algorithm-based fault tolerance approaches for sparse matrix operations detect and correct errors, but they often rely on expensive error localization steps. General checkpointing schemes can induce large recovery cost for high error rates. For sparse matrix-vector multiplications, experimental results show an average reduction in runtime overhead of 43.8%, while the error coverage is on average improved by 52.2% compared to related work. The practical applicability is demonstrated in a case study using the iterative Preconditioned Conjugate Gradient solver. When scaling the error rate by four orders of magnitude, the average runtime overhead increases only by 31.3% compared to low error rates.

4.1.13. Pushing the Limits: How Fault Tolerance Extends the Scope of Approximate Computing

Wunderlich, H.-J., Braun, C. and Schöll, A.

Proceedings of the 22nd IEEE International Symposium on On-Line Testing and Robust System Design (IOLTS'16), Sant Feliu de Guixols, Catalunya, Spain, 4-6 July 2016, pp. 133-136

doi: <http://dx.doi.org/10.1109/IOLTS.2016.7604686>

Approximate computing in hardware and software promises significantly improved computational performance combined with very low power and energy consumption. This goal is achieved by both relaxing strict requirements on accuracy and precision, and by allowing a deviating behavior from exact Boolean specifications to a certain extent. Today, approximate computing is often limited to applications with a certain degree of inherent error tolerance, where perfect computational results are not always required. However, in order to fully utilize its benefits, the scope of applications has to be significantly extended to other compute-intensive domains including science and engineering. To meet the often rather strict quality and reliability requirements for computational results in these domains, the use of appropriate characterization and fault tolerance measures is highly required. In this paper, we evaluate some of the available techniques and how they may extend the scope of application for approximate computing.

4.1.14. Applying Efficient Fault Tolerance to Enable the Preconditioned Conjugate Gradient Solver on Approximate Computing Hardware

Schöll, A., Braun, C. and Wunderlich, H.-J.

Proceedings of the IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT'16), University of Connecticut, USA, 19-20 September 2016, pp. 21-26

doi: <http://dx.doi.org/10.1109/DFT.2016.7684063>

A new technique is presented that allows to execute the preconditioned conjugate gradient (PCG) solver on approximate hardware while ensuring correct solver results. This technique expands the scope of approximate computing to scientific and engineering applications. The changing error resilience of PCG during the solving process is exploited by different levels of approximation which trade off numerical accuracy and hardware utilization. Such approximation levels are determined at runtime by periodically estimating the error resilience. An efficient fault tolerance technique allows reductions in hardware utilization by ensuring the continued exploitation of maximum allowed energy-accuracy trade-offs. Experimental results show that the hardware utilization is reduced on average by 14.5% and by up to 41.0% compared to executing PCG on accurate hardware.

4.2. Workshop-Beiträge

4.2.1. ABFT with Probabilistic Error Bounds for Approximate and Adaptive-Precision Computing Applications

Braun, C. and Wunderlich, H.-J.

Workshop on Approximate Computing, Paderborn, Germany, 15-16 October 2015

In this work, we investigate the application of ABFT with probabilistic error bounds to matrix operations carried out with variable floating-point precision. Since rounding errors in ABFT checksums reduce the efficacy of the error detection procedure, appropriate rounding error bounds are required. The basic idea of the proposed method is to determine a confidence interval for the rounding error that affects a checksum element. The required expectation values and variances of the rounding errors are computed based on a probabilistic rounding error analysis and take the actually used floating-point precision into account. This allows the application to computations carried out on approximate or adaptive precision floating-point hardware. The proposed method operates autonomously without requiring any user interaction and enables a significant improvement of the ABFT error detection capability.

4.2.2. Autonomous Testing for 3D-ICs with IEEE Std. 1687

Ye, J.-C., Kochte, M.A., Lee, K.-J. and Wunderlich, H.-J.

First International Test Standards Application Workshop (TESTA), co-located with IEEE European Test Symposium, Amsterdam, The Netherlands, 26-27 May 2016

IEEE Std. 1687, or IJTAG, defines flexible serial scan-based architectures for accessing embedded instruments efficiently. In this paper, we present a novel test architecture that employs IEEE Std. 1687 together with an efficient test controller to carry out 3D IC testing autonomously. The test controller can deliver parallel test data for the IEEE Std. 1687 structures and the cores under test, and provide required control signals to control the whole test procedure. This design can achieve at-speed, autonomous and programmable testing in 3D-ICs. Experimental results show that the additional area overhead of this architecture is small.

