

Institut für Technische Informatik



Jahresbericht 2015

Institut für Technische Informatik - Abteilung Rechnerarchitektur
Universität Stuttgart

Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich



Impressum

Jahresbericht 2015

Berichtszeitraum: 01. Oktober 2014 – 30. September 2015

Redaktion: Lothar Hellmeier

Letzte Änderung: 1. August 2016

Institut für Technische Informatik
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich
Universität Stuttgart - ITI
Pfaffenwaldring 47
D-70569 Stuttgart

Tel.: +49 711 685 88 362

Fax: +49 711 685 88 288

E-Mail: wu@informatik.uni-stuttgart.de

URL: <http://www.iti.uni-stuttgart.de>

Externe Links verweisen auf weitervermittelte Inhalte, die sich die Universität Stuttgart nicht zu eigen macht. Die Verantwortlichkeit liegt beim jeweiligen externen Anbieter (siehe Impressum - Anbieterkennzeichnung).

Die externen Inhalte wurden beim Setzen des Links geprüft. Es ist nicht auszuschließen, dass die Inhalte im Nachhinein von den jeweiligen Anbietern verändert werden. Sollten Sie der Ansicht sein, dass die verlinkten externen Seiten gegen geltendes Recht verstoßen oder sonst unangemessene Inhalte haben, so teilen Sie uns dies bitte mit.

Vorwort



Sicherheit, Zuverlässigkeit, Fehlertoleranz und Testbarkeit von integrierten Systemen gewinnen weiter an Bedeutung. Sie sind ganz wesentliche Voraussetzungen zur Realisierung fortgeschrittener Technologien wie beispielsweise autonomes Fahren oder das „Internet der Dinge“. In diesen Bereichen konnte der Lehrstuhl Rechnerarchitektur drei von der Deutschen Forschungsgemeinschaft (DFG) geförderte Projekte erfolgreich abschließen und das Projekt „SHIVA: Sichere Hardware in der Informationsverarbeitung“ von der Baden-Württemberg Stiftung neu einwerben.

Mit über 15 Veröffentlichungen in internationalen Zeitschriften und Tagungsbänden mit kritischem Begutachtungsprozess und mit 3 abgeschlossenen Doktorarbeiten hat sich die Arbeitsgruppe wieder einen internationalen Spitzenplatz erarbeitet.

Diese Forschungsschwerpunkte spiegeln sich auch in der Lehre wider, in der in Praktika, Seminaren und Vorlesungen die Studierenden an den Stand der Forschung herangeführt werden. An dieser Stelle möchte ich meinen Dank an alle Mitarbeiter des ITI ausdrücken, die dies mit großem persönlichen Einsatz möglich machen.

Stuttgart, Mai 2016

Hans-Joachim Wunderlich

Inhaltsverzeichnis

| | |
|---|-----------|
| 1. Institutsübersicht – Abteilung Rechnerarchitektur | 7 |
| 1.1. Mitarbeiter | 7 |
| 1.2. Auszeichnungen | 8 |
| 1.2.1. Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich: Guest Professor at Hefei University of Technology, Hefei, China, 2014 | 8 |
| 1.2.2. Dr. rer. nat. Michael A. Kochte: Beste Promotion 2014 | 8 |
| 1.2.3. Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich: IEEE Computer Society Distinguished Service Award | 8 |
| 1.2.4. 2014 JETTA-TTTC Best Paper Award | 9 |
| 1.3. Forschungsschwerpunkte und Arbeitsgruppen | 9 |
| 1.3.1. Arbeitsgruppe Test | 10 |
| 1.3.2. Arbeitsgruppe Zuverlässigkeit | 10 |
| 1.3.3. Arbeitsgruppe Diagnose | 11 |
| 2. Projekte | 12 |
| 2.1. PARSIVAL: Parallele durchsatzoptimierte Simulationen zur effizien- ten Validierung des Entwurfs und Tests nanoelektronischer Sys- teme | 12 |
| 2.2. HiPS: High-Performance Simulation for High Quality Small Delay Fault Testing | 13 |
| 2.3. ACCESS: Verifikation, Test und Diagnose Rekonfigurierbarer Scan- Netzwerke | 15 |
| 2.4. RM-BIST: Reliability Monitoring and Managing Built-In Self Test | 16 |
| 2.5. ROCK: Robust Network On Chip Communication Through Hier- archical Online Diagnosis and Reconfiguration | 18 |
| 2.6. OASIS: Online-Ausfallvorhersage mikroelektronischer Schaltungen mittels Alterungssignaturen | 19 |
| 2.7. OTERA: Online Test Strategies for Reliable Reconfigurable Architectures | 21 |
| 2.8. SimTech: Simulation on Reconfigurable Heterogeneous Computer Architectures | 22 |
| 3. Lehre | 24 |
| 3.1. Bachelor-Studiengang | 24 |
| 3.1.1. Rechnerorganisation 1 | 24 |
| 3.1.2. Rechnerorganisation 2 / Hardwarepraktikum | 25 |
| 3.1.3. Grundlagen der Rechnerarchitektur / Advanced Processor Architecture (in English) | 26 |
| 3.2. Master-of-Science- Studiengang | 27 |

| | | |
|-----------|--|-----------|
| 3.2.1. | Hardware Verification and Quality Assessment (in English) | 27 |
| 3.2.2. | Elements of High Performance RISC Processors - Design and Synthesis (in English) | 27 |
| 3.2.3. | Design, Test and Application of Emerging Computer Architectures (in English) | 28 |
| 3.2.4. | Design & Test of 3D-integrated circuits (in English) | 28 |
| 3.3. | Lehrveranstaltungen im Wintersemester 2014 - 2015 | 29 |
| 3.4. | Lehrveranstaltungen im Sommersemester 2015 | 30 |
| 3.5. | Oberseminar | 30 |
| 3.6. | Dissertationen | 40 |
| 3.6.1. | Claus Braun: Algorithm-Based Fault Tolerance for Matrix Operations on Graphics Processing Units: Analysis and Extension to Autonomous Operation | 40 |
| 3.6.2. | Atefe Dalirsani: Self-Diagnosis in Network-on-Chips | 41 |
| 3.6.3. | Michael E. Imhof: Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults | 42 |
| 3.7. | Master-Arbeit | 43 |
| 3.7.1. | Maren Tilk: SAT-basierte Überprüfung der Fehlersicherheit von Schaltungen | 43 |
| 3.8. | Bachelor-Arbeiten | 44 |
| 3.8.1. | Stefan Simeonov: Portierung und Optimierung einer GPU Simulationsumgebung zur Untersuchung des apoptotischen Rezeptor-Clustering auf open CL | 44 |
| 3.8.2. | Sebastian Brandhofer: Adaptierung an Zeitverhalten-Variationen in rekonfigurierbaren Hardwarestrukturen | 45 |
| 3.8.3. | Felix Ebinger: Software-basierter Selbsttest eingebetteter Speicher | 45 |
| 3.8.4. | Jochen Bäßler: Software basierter Selbsttest von Peripherie-Komponenten | 46 |
| 3.9. | Projekt-INF | 47 |
| 3.9.1. | Sebastian Brandhofer, Philipp Göttlich, Adrian Lankswert: Untersuchung von hardwarebeschleunigten Anwendungen in rekonfigurierbaren Network-on-a-Chip-basierten Systemen | 47 |
| 3.9.2. | Pascal Hagemann, David Hardes, Moritz Knabben: Switching activity based estimation of IR-drop | 47 |
| 4. | Publikationen | 48 |
| 4.1. | Zeitschriften und Konferenzberichte | 48 |
| 4.1.1. | FAST-BIST: Faster-than-At-Speed BIST Targeting Hidden Delay Defects | 48 |
| 4.1.2. | Test Pattern Generation in Presence of Unknown Values Based on Restricted Symbolic Logic | 48 |
| 4.1.3. | Adaptive Parallel Simulation of a Two-Timescale-Model for Apoptotic Receptor-Clustering on GPUs | 49 |
| 4.1.4. | Data-Parallel Simulation for Fast and Accurate Timing Validation of CMOS Circuits | 49 |

| | | |
|---------|---|----|
| 4.1.5. | High Quality System Level Test and Diagnosis | 50 |
| 4.1.6. | On Covering Structural Defects in NoCs by Functional Tests | 50 |
| 4.1.7. | Access Port Protection for Reconfigurable Scan Networks . | 50 |
| 4.1.8. | Reconfigurable Scan Networks: Modeling, Verification, and Optimal Pattern Generation | 51 |
| 4.1.9. | GPU-Accelerated Small Delay Fault Simulation | 52 |
| 4.1.10. | On-Line Prediction of NBTI-induced Aging Rates | 52 |
| 4.1.11. | High-Throughput Logic Timing Simulation on GPGPUs . . | 53 |
| 4.1.12. | Fine-Grained Access Management in Reconfigurable Scan Networks | 53 |
| 4.1.13. | Accurate QBF-based Test Pattern Generation in Presence of Unknown Values | 54 |
| 4.1.14. | Adaptive Multi-Layer Techniques for Increased System Dependability | 54 |
| 4.1.15. | Efficient On-Line Fault-Tolerance for the Preconditioned Conjugate Gradient Method | 55 |
| 4.1.16. | Efficient Observation Point Selection for Aging Monitoring | 55 |
| 4.1.17. | Multi-Layer Test and Diagnosis for Dependable NoCs . . . | 56 |
| 4.2. | Workshop-Beiträge | 56 |
| 4.2.1. | Hochbeschleunigte Simulation von Verzögerungsfehlern unter Prozessvariationen | 56 |
| 4.2.2. | Effiziente Auswahl von Testfrequenzen für den Test kleiner Verzögerungsfehler | 57 |

1. Institutsübersicht – Abteilung Rechnerarchitektur

1.1. Mitarbeiter

Geschäftsführender Direktor ITI:
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Sekretariat:
M. A. Mirjam Breitling

Wissenschaftliche Mitarbeiter:
Dr. rer. nat. Rafał Baranowski
Dr. rer. nat. Claus Braun
Dr. rer. nat. Atefe Dalirsani
Dr. rer. nat. Nadereh Hatami
Dr. rer. nat. Michael A. Kochte
M. Sc. Chang Liu
Dipl.-Inf. Laura Rodríguez Gómez
Dipl.-Inf. Eric Schneider
Dipl.-Inf. Alexander Schöll
Dipl.-Inf. Dominik Ull
Dipl.-Inf. Marcus Wagner

Gastwissenschaftler:
Assist. Prof. Tian Ban, Nanjing University, China
Assist. Prof. Yuta Yamato, NAIST, Japan

Administration:
Dipl.-Ing. Helmut Häfner
Dipl.-Ing. (FH) Lothar Hellmeier

sowie ca. 20 studentische Hilfskräfte in Forschung und Lehre

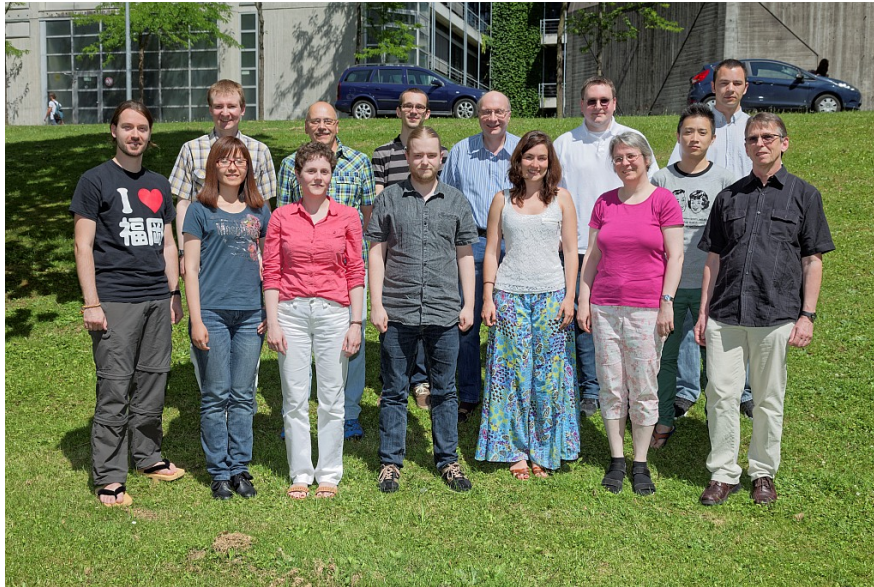


Bild unserer Mitarbeiter (Frühjahr 2015)

1.2. Auszeichnungen

**1.2.1. Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich:
Guest Professor at Hefei University of Technology,
Hefei, China, 2014**

1.2.2. Dr. rer. nat. Michael A. Kochte: Beste Promotion 2014

Auf Vorschlag der Fakultät (Fachbereich Informatik) wurde Herrn Dr. rer. nat. Michael A. Kochte für seine Promotion "Boolean Reasoning for Digital Circuits in Presence of Unknown Values - Application to Test Automation" der **infos**-Preis für die beste Promotion 2014 verliehen. Die Ehrung fand während der Abschlussfeier der Informatik-Studiengänge am 06.02.2015 statt.

**1.2.3. Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich:
IEEE Computer Society Distinguished Service Award**

IEEE Computer Society, Test Technology Technical Council: Distinguished Service Award for many years of dedicated distinguishing service in creating, organizing, growing and steering ETS."

Die IEEE Computer Society hat Herrn Professor Dr. rer. nat. habil. Hans-Joachim Wunderlich, Institut für Technische Informatik, mit dem „Distinguished Service Award“ ausgezeichnet. Professor Wunderlich ist Mitgründer des IEEE European Test Symposiums (ETS) und hat es sechs Jahre lang als Vorsitzender des ETS Steering Committees geleitet. Die Preisverleihung fand während des ETS 2015 statt.

1.2.4. 2014 JETTA-TTTC Best Paper Award

Dr. rer. nat. Rafał Baranowski,
Dr. rer. nat. Michael A. Kochte und
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

"... the JETTA-TTTC Best Paper Award selection committee, selected your paper [Access Port Protection for Reconfigurable Scan Networks](#) for the 2014 Award. Congratulations! This is a very significant achievement as your paper was classified first among 58 papers published in JETTA during 2014, which were selected by a highly competitive review process among a large number of submissions."

Professor Wunderlich nahm die [Auszeichnung](#) im Rahmen der ITC 2015 entgegen.

1.3. Forschungsschwerpunkte und Arbeitsgruppen

Ein großer Teil der Forschungsarbeiten erfolgt in enger Kooperation mit nationalen und internationalen Partnern aus Universitäten, Forschungseinrichtungen und der Industrie. Besondere Aufmerksamkeit wird auf Entwurfsmethoden und Hardwarestrukturen gelegt, mit denen hohe Anforderungen an Zuverlässigkeit, Sicherheit und Korrektheit der Systeme erfüllt werden können. In der Telekommunikation, Luft- und Raumfahrt, Verkehrs- oder Medizintechnik ist der Einsatz digitaler Systeme nur dann verantwortbar, wenn solche besonders hohen Qualitätsanforderungen eingehalten werden können. Mit Verfahren der Hardware-Verifikation wird versucht, die Korrektheit eines Entwurfs nachzuweisen, während beim Hardwaretest Fehler im gefertigten System gesucht werden. Fehlertoleranzverfahren sollen dafür sorgen, dass ein System auch bei Vorliegen eines Fehlers funktionsfähig bleibt oder zumindest nur sichere Zustände annimmt. Fehlertoleranz, Zuverlässigkeit, Testbarkeit und Diagnostizierbarkeit können nur garantiert werden, wenn Systeme mit geeigneter Hardware-Infrastruktur ausgestattet sind. Dabei muss verhindert werden, dass diese Infrastruktur Seitenkanäle öffnet, die ein Sicherheitsrisiko bezüglich Manipulierbarkeit und Vertraulichkeit bilden. Viele der hierbei verwendeten Methoden werden auch im Softwareentwurf eingesetzt und sind von allgemeiner Bedeutung in der Informatik.

1.3.1. Arbeitsgruppe Test

Bearbeiter:

Dr. rer. nat. Michael Kochte
M. Sc. Chang Liu
Dipl.-Inf. Eric Schneider
Dipl.-Inf. Marcus Wagner

Die Arbeitsgruppe „Test“ beschäftigt sich mit dem Test digitaler mikroelektronischer Systeme. Dies umfasst die Modellierung komplexer Fehler, deren Simulation und die algorithmische Erzeugung von Teststimuli. Weiterhin erfordert eine kosteneffiziente Testdurchführung einen prüfgerechten Entwurf des Systems und seiner Komponenten.

Die Modellierung komplexer Fehler und Ableitung effizienter hochparalleler Simulations-Algorithmen sind aktuelle Forschungsthemen am Institut. Dabei werden Fehler auf unterschiedlichen Ebenen modelliert, so dass auch elektrische Effekte und Variationen berücksichtigt werden können. Die effiziente Abbildung solcher Simulationsalgorithmen ist Thema des Projekts PARSIVAL. Die Alterung von Transistoren und Verbindungen im Chip erfordert auch eine Überwachung nicht-funktionaler Chip-Eigenschaften und einen effizienten Online-Selbsttest im Feld, so dass frühzeitig Fehler und bevorstehende Ausfälle erkannt werden können. In den Projekten OASIS und RM-BIST wurden hierfür On-Chip-Sensorik und Monitorstrukturen für anwendungsspezifische integrierte Schaltungen (ASICs) erforscht. Beide Projekte wurden erfolgreich abgeschlossen und begutachtet.

Im Projekt OTERA werden u.a. Online-Testverfahren für zur Laufzeit rekonfigurierbare FPGA-basierte Systeme entwickelt und analysiert, so dass Alterungseffekte während des Betriebs erkannt werden können. Zur Steuerung des Testablaufs und der Kommunikation auf dem Chip werden zunehmend rekonfigurierbare Scan-Ketten verwendet, deren Synthese und Verifikation im Projekt ACCESS untersucht wird.

1.3.2. Arbeitsgruppe Zuverlässigkeit

Bearbeiter:

Dr. rer. nat. Rafał Baranowski
Dr. rer. nat. Claus Braun
Dr. rer. nat. Atefe Dalirsani
Dr. rer. nat. Nadereh Hatami
Dipl.-Inf. Alexander Schöll

Ebenenübergreifende Methoden zur Sicherung von Zuverlässigkeit und Verfügbarkeit digitaler Schaltungen und Rechnersysteme bilden den Forschungsschwerpunkt der Gruppe „Zuverlässigkeit“. Die Forschungsarbeiten reichen dabei von der Verifikation und dem Entwurf rekonfigurierbarer Zugriffsmechanismen nach der neuen Normierung IEEE 1687-2014 (Projekt ACCESS) über Entwurfsverfahren für robuste On-Chip-Kommunikation wie „Networks-on-a-Chip“ (Projekt ROCK)

und rekonfigurierbare Rechnerarchitekturen (Projekt OTERA) bis hin zur Absicherung von Algorithmen und Software auf höheren Ebenen. Auf der Softwareebene steht dabei die zuverlässige Beschleunigung wissenschaftlicher Anwendungen und Simulationen auf innovativen Many-Core-Prozessorarchitekturen und heterogenen, zu Laufzeit konfigurierbaren Rechnerarchitekturen im Mittelpunkt (Projekt im Rahmen des Exzellenzclusters Simulation Technology). Weitere Forschungsschwerpunkte bilden die simulationsbasierte Vorhersage und Bewertung von Alterungsmechanismen in digitalen Schaltungen sowie der Entwurf digitaler Schaltungsstrukturen zur Überwachung der Alterung (Projekt OASIS). Die Forschungsprojekte ROCK und OASIS konnten im zurückliegenden Jahr erfolgreich abgeschlossen werden.

1.3.3. Arbeitsgruppe Diagnose

Bearbeiter:

Dipl.-Inf. Laura Rodríguez Gómez

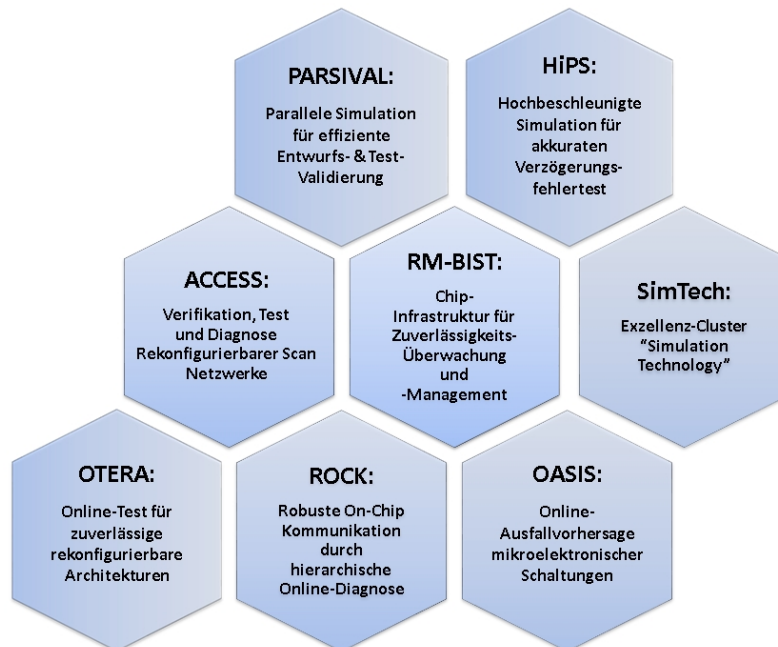
Dipl.-Inf. Dominik Ull

Im Diagnosebereich sind zwei Arbeiten zu den Themengebieten Systemtest und Network-on-Chip-Architekturen entstanden:

Die Studie „High Quality System Level Test and Diagnosis“ behandelt übliche Praktiken, aktuelle Herausforderungen und fortgeschrittene Techniken für hoch-qualitative Test- und Diagnosemethoden auf Systemebene. Spezialisierte Methoden und Industriestandards für Board-Tests werden vorgestellt. Desweiteren werden Methoden, Einschränkungen und wissenschaftliche Herausforderungen bezüglich der Wiederverwendung eingebauter Teststrukturen auf Systemebene diskutiert. Dies umfasst auch die Wiederverwendung von Testdaten auf Systemebene, welche ursprünglich auf Chipebene erzeugt wurden. Strukturelle Testmethoden werden mit funktionalen Testmethoden ergänzt. Es wird sowohl der Stand der Wissenschaft als auch führende Forschung im Bereich funktionaler Tests behandelt.

Die Arbeit „Multi-Layer Test and Diagnosis for Dependable NoC“ behandelt Network-on-Chip-Architekturen, welche inhärent fehlertolerant und im Fehlerfall zumindest eingeschränkt funktionstüchtig sind. Dies ist durch verwendbare Redundanzen im Hinblick auf Konnektivität und Ressourcen gegeben. Diese Eigenschaften können jedoch nur dann umfangreich genutzt werden, wenn Test- und Diagnosemethoden Fehlererkennung und Fehlerisolierung auf optimierte Weise unterstützen. Auf der einen Seite müssen alle fehlerhaften Komponenten isoliert werden, auf der anderen Seite muss verbleibende fehlerfreie Funktionalität in Betrieb gehalten werden. In dieser Arbeit wird verhaltensbasierte Ende-zu-Ende Fehlererkennung mit funktionalen Testmethoden für Switches und Diagnose auf Gatterebene kombiniert, um Fehler im Netzwerk effizient und mit geringem Zeitoverhead zu lokalisieren und isolieren.

2. Projekte



2.1. PARSIVAL: Parallele durchsatzoptimierte Simulationen zur effizienten Validierung des Entwurfs und Tests nanoelektronischer Systeme

seit 10.2014, DFG-Projekt: WU 245/16-1



Projektmitarbeiter:

Dr. rer. nat. Claus Braun
Dr. rer. nat. Michael A. Kochte
Dipl. Inf. Eric Schneider

Im Rahmen des PARSIVAL Projekts werden neue Methoden zur simulationsbasierten Validierung des Entwurfs und Tests nanoelektronischer Schaltungen auf datenparallelen Architekturen entwickelt, welche die Anwendung auf große Schaltkreise und komplexere Auswertungsszenarien erlauben. Dieses Projekts befasst sich dabei mit der Struktur der Simulationsmodelle und deren Algorithmen sowie den verschiedenen Abstraktionsebenen, um diese auf datenparallele Architekturen abzubilden und zu beschleunigen.



Mit der Skalierung der Prozesstechnologien treten immer komplexere Defektmechanismen auf, die feinere Simulationsmodelle erfordern, und in aktuellen Herstellungsprozessen eine Validierung auf unteren Abstraktionsebenen erfordern. Die Algorithmen basieren teils auf sehr rechenintensiven Schritten, die aufgrund der höheren Genauigkeit der Rechenmodelle, der Komplexität bei der Auswertung und den anfallenden Daten auf traditionellen Rechenarchitekturen (z.B. Mehrkernprozessoren) nicht mehr skalieren. In den vergangenen Jahren haben sich datenparallele Architekturen, wie z.B. Graphikprozessoren (GPUs), im Bereich des Hochleistungsrechnen etabliert, welche massive Rechenleistungen im Bereich von mehreren TeraFLOPs auf einem einzigen Chip ermöglichen. Mit der Ausnutzung von Parallelisierung auf diesen hochparallelen Hardwarebeschleunigern sowie mithilfe geeigneter Ansätze zur Abstraktion soll im Rahmen dieses Projekts der Rechendurchsatz maximiert werden, um so eine breite Palette an komplexen Anwendungen zur Entwurfsautomatisierung auch für große industrielle Schaltungen zu ermöglichen.

2.2. HiPS: High-Performance Simulation for High Quality Small Delay Fault Testing

since 01.2015, DAAD/JSPS PPP Japan Project: #57155440

DAAD

Project staff:

Dr. rer. nat. Michael A. Kochte
Dipl. Inf. Eric Schneider

Cooperation partners:

This project is part of the German Academic Exchange Service (DAAD) exchange program "PPP Japan" in collaboration with the Japan Society for the Promotion of Science (JSPS).

Project Partners (Japan):

Department of Creative Informatics - Kyushu Institute of Technology

Prof. Xiaoqing Wen
Assist. Prof. Stefan Holst

Variations and imperfections during manufacturing can result in small delay defects, which can point to underlying hardware marginalities that may degrade into early life failures. The detection of such small delay defects in conventional test schemes is highly difficult since the slack along sensitized paths is typically much larger than the defect size. In typical manufacturing tests the majority of small delay defects remains undetected, resulting in low quality and reliability for such mission-critical applications as implanted medical devices, aeronautic control units, car electronics, etc.

Their detection can be facilitated by increasing the test clock frequency, called faster-than-at-speed test (FAST). However, operating the circuit at a frequency much higher than the nominal frequency increases power consumption and noise in the power and clock network. This threatens reliable fault detection and also causes over-testing of the circuit.



To ensure the quality of a given test pattern set, it is not sufficient to simulate the circuit behavior at gate level. Instead, it is required to simulate timing models at lower abstraction level that reflect filtering, glitches and their impact on the stability of power supply. However, low-level approaches such as SPICE-simulation are inapplicable for large circuits and high number of patterns/faults due to the increasing runtime complexity.

In this work, innovative **parallelized algorithms for simulation on graphics processing units (GPUs)** shall be developed. By utilizing the many-core programming paradigm and exploiting multiple dimensions of parallelism found in circuit simulation, **evaluation with full waveform granularity and support for highly accurate delay models** will be enabled, therefore allowing for fast and accurate simulation of small delay faults.

In the first year of the funding phase two trips to Japan have been scheduled in the first and third quarter. The first meeting comprised discussions of the available

tools and necessary integration in a complex flow, followed by a fine-grained assignment of individual work packages. A publication was accepted at the IEEE Asian Test Symposium (ATS). The results of the joint work were presented in November 2015 at the ATS venue.

For the second meeting, a joint workshop was organized by the Japanese cooperation partner. Apart from the staff members, students of the Kyushu Institute of Technology (KIT) participated during the scientific talks and discussions.

Following the workshop, Prof. Wunderlich gave an invited talk on "R³S: Reliable Runtime Reconfigurable Systems" at the KIT. At the joint workshop, a follow-up paper of the work previously submitted to the ATS conference has been prepared. In addition, an outline for a joint publication in a scientific journal was proposed.

2.3. ACCESS: Verifikation, Test und Diagnose Rekonfigurierbarer Scan-Netzwerke

seit 08.2014, DFG-Projekt: WU 245/17-1



Projektmitarbeiter:

Dr. rer. nat. Michael A. Kochte

M. Sc. Chang Liu

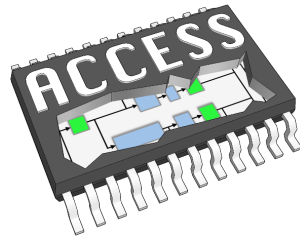
Dipl.-Inf. Dominik Ull

Eingebettete Instrumente gewinnen zunehmend an Bedeutung und sind unerlässlich, um Skalierung und wachsende Komplexität aktueller Systeme-auf-einem-Chip (SoC) und Mikroprozessoren zu meistern. Chip-interne Instrumente werden sowohl bei der Produktion zur Verbesserung der Herstellung, Debug, Test und Diagnose, als auch im normalen Betrieb zur Felddiagnose und Instandhaltung eingesetzt. Rekonfigurierbare Scan-Netzwerke (RSN) stellen einen günstigen, allgemein einsetzbaren Zugriffsmechanismus für chip-interne Instrumente dar. Hierzu sind bereits Standards verabschiedet (IEEE Std. 1149.1-2013 – JTAG-2013 und IEEE Std. 1687-2104 – JTAG). Sie beschreiben flexible Netzwerke aus Prüfpfaden, die verteilt konfigurierbar sind und Schnittstellen zur Integration eingebetteter Instrumente bereitstellen.

Effiziente Verifikations-, Test- und Diagnosemethoden für RSN-Designs stellen aufgrund der kombinatorischen und sequentiellen Abhängigkeiten eine große Herausforderung dar. Diese Strukturen übersteigen die Möglichkeiten existierender Algorithmen, welche für konventionelle nicht-rekonfigurierbare Scan-Netzwerke, und allgemein beim Systementwurf eingesetzt werden. Im Projekt ACCESS werden skalierbare Methoden zur Entwurfsautomatisierung entwickelt, um die Einhaltung strenger Vorgaben für die Korrektheit, Zuverlässigkeit und Sicherheit von RSNs zu gewährleisten.

Für die skalierbare formale Verifikation und Testerzeugung für erweiterte Scan-Netzwerke wurde in [S. 51, 4.1.8] eine formale Modellierung entwickelt, welche

unter anderem den formalen Beweis der Korrektheit und gewisser Zugriffseigenschaften von RSN-Designs erlaubt. Es kann weiterhin zur Minimierung von Zugriffslatenzen auf angebundene Instrumente verwendet werden.



Die Chip-Infrastruktur, auf die mittels RSNs zugegriffen wird, kann sensible Daten und Chip-Strukturen exponieren. Die Beobachtbarkeit und Steuerbarkeit stellt jedoch ein Sicherheitsrisiko dar, da sensible Daten abfließen oder die Operation des Systems beeinflusst werden kann. Entsprechend sind Verfahren des Zugriffsschutzes in RSN-Designs erforderlich. In [S. 51, 4.1.7] und [S. 53, 4.1.12] wurden sehr effiziente Verfahren des Zugriffsschutzes vorgestellt, so dass ein Zugriff auf geschützte Komponenten nicht oder nur nach Autorisierung möglich ist. Die Arbeit in [S. 51, 4.1.7] wurde mit dem 2014 JETTA-TTTC Best Paper Award ausgezeichnet.

2.4. RM-BIST: Reliability Monitoring and Managing Built-In Self Test

07.2012 - 06.2015, DFG-Project: WU 245/13-1



Project staff:

Dr. rer. nat. Rafał Baranowski
M. Sc. Chang Liu

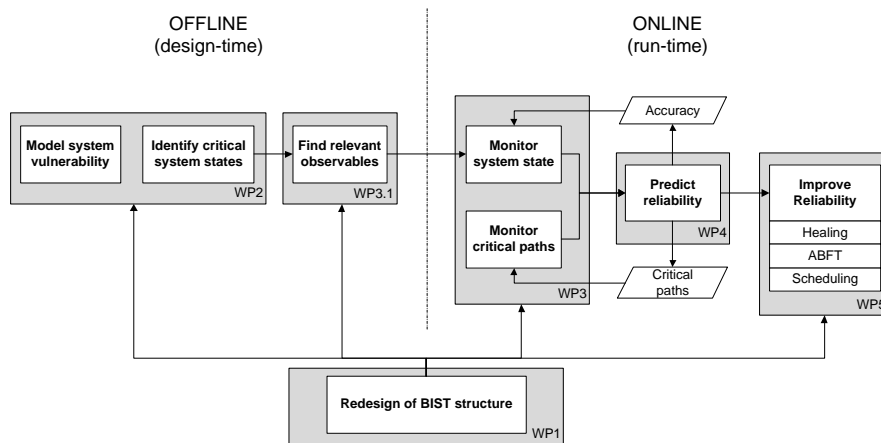
Cooperation partners:

Prof. Dr. Mehdi B. Tahoori, Chair of Dependable Nano Computing (CDNC)
Karlsruhe Institute of Technology (KIT)

Reliability becomes one of the major concerns with VLSI scaling. The growing susceptibility of VLSI circuits to the environmental and external disturbances, process variations, radiation induced errors and aging factors requires reliability monitoring and managing approaches and Design-for-Reliability (DfR) built-in infrastructures for current and future technology nodes. The RM-BIST project tackled system reliability management and improvement, and characterized the mechanisms of circuit degradations. Methods for reliability monitoring and prediction are developed as well as structures and working procedures of Design-for-Reliability infrastructure.

The central objectives of RM-BIST were:

- Reusing existing DFT infrastructure for reliability screening and mitigation during runtime
- Providing accurate prediction for short-term and long-term failure mechanisms, both at design time and on-line
- Predicting critical system states early to prevent failures by guiding on-line adaptation techniques
- Improving system reliability using BIST-generated healing patterns and multiobjective load scheduling



The goals were reached by close cooperation of the two working groups in Stuttgart and Karlsruhe. First, methods for redesigning test structures have been developed. To efficiently access the integrated reliability monitors and other embedded instruments, reconfigurable scan networks (RSN) standardized as IEEE Std 1687 provide a cost-effective, flexible and scalable possibility. In the project, the first time a formal modeling method based on temporal abstraction has been developed. The model considers structural and functional dependencies of the RSN architecture and enables efficient formal verification of complex scan networks, as well as automatic generation of access patterns with optimal access time. The accessibility of embedded instrumentation offered by RSNs poses a serious security threat. To protect circuit against unauthorized access, this security problem has been addressed by two scalable fine-grained solutions for multi-level access management in RSNs.

The second work package dealt with critical state identification, where Representative Critical Gates (RCGs) were selected, the workload of which correlates with the system critical state. For on-line prediction, an aging rate model is constructed, building the relation between the workload of the RCGs and the delay degradation rate of the circuit.

An optimal number and placement of stability checkers was determined based on the sensitization possibility and topological distribution of the critical paths. By inserting the delay monitors at meticulously selected positions (observation points) in the circuit nets, the measurement latency of delay degradation and monitoring overhead are reduced simultaneously. Novel proactive workload monitors with only minimal implementation consumption enable early prediction of reliability issues and adoption of relevant proactive countermeasures.

In a running system, the stress experienced by the RCGs are continuously observed by workload monitors and aggregated over a short period of time. Together with the averaged temperature, the averaged stress of RCGs is periodically fed to the aging rate prediction model evaluated in software, ideally during the idle time of any available processing unit.

To improve the system reliability, a unified bit-flipping scan architecture was developed, facilitating fault tolerance as well as offline test by combining a checksum of the sequential state with the ability to flip arbitrary bits.

2.5. ROCK: Robust Network On Chip Communication Through Hierarchical Online Diagnosis and Reconfiguration

08.2011 - 12.2015, DFG-Project: WU 245/12-1



Projektmitarbeiter:

Dr. rer. nat. Atefe Dalirsani
Dr. rer. nat. Nadereh Hatami

Kooperationspartner:

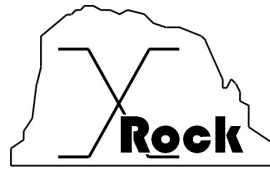
Prof. Dr.-Ing. Martin Radetzki, Institut für Technische Informatik
Universität Stuttgart

Ziel des Projekts ROCK ist es, robuste Architekturen und zugehörige Entwurfsverfahren für Networks-on-Chip (NoC) zu untersuchen und prototypisch zu entwickeln, um der mit steigender Integrationsdichte zunehmenden Störanfälligkeit der On-Chip-Kommunikationsinfrastruktur gegenüber Umgebungsstrahlung, Übersprechen, Fertigungsvariabilitäten und Alterungseinflüssen zu begegnen.

Durch Ressourcen- und Verbindungsredundanz können NoC-Architekturen fehlerhafte Komponenten ausschalten, ohne die Funktion des Systems zu beeinträchtigen. Dazu sind ein Test zur Fehlererfassung und eine korrekte Diagnose unbedingt nötig, um den problematischen Teil zu identifizieren [S. 56, 4.1.17].

NoC-Architekturen erfordern nicht nur Fertigungstests, sondern auch Online-Tests, welche die Fehler entdecken. Leider sind strukturelle Tests häufig nicht im Betrieb anwendbar, während funktionale Tests eine niedrige Fehlererfassung erreichen.

Zu diesem Zweck wurde im Projekt ROCK eine Methode entwickelt, die die Testdatenerzeugung als Erfüllbarkeitsproblem formuliert [S. 50, 4.1.6]. Das Verfahren generiert eine Testmustermenge in Form von Paketen, die im Betrieb verwendbar sind und eine hohe strukturelle Fehlererfassung gewährleisten. Dadurch werden Fehler auch online erkannt.



Nachdem das Vorkommen eines Fehlers festgestellt wurde, ist es nötig die Systemfunktionen zu identifizieren, die vom Fehler betroffen sind. In ROCK wurde auch ein Verfahren entwickelt, welches das beobachtete Verhalten mit einer funktionalen Systemfunktion verbindet. Dadurch wird z.B. ein Port in einem Switch identifiziert, der nicht die Spezifikation einhält und ausgeschaltet werden soll.

2.6. OASIS: Online-Ausfallvorhersage mikroelektronischer Schaltungen mittels Alterungssignaturen

03.2011 - 12.2014, DFG-Projekt: WU 245/11-1



Projektmitarbeiter:

Dr. rer. nat. Rafał Baranowski
Dr. rer. nat. Michael A. Kohte
Dr. rer. nat. Nadereh Hatami
M. Sc. Chang Liu

Kooperationspartner:

Prof. Dr. Joachim N. Burghartz, Institut für Mikroelektronik Stuttgart (IMS)
Universität Stuttgart

Mikroelektronische Schaltungen sind von lebensdauerbegrenzenden Alterungsvorgängen betroffen. Das OASIS Projekt hatte die Zielsetzung, Methoden der Alterungsanalyse und Verfahren und Strukturen zur Online-Überwachung zu entwickeln, welche alterungsbedingte Degradierungen während des Betriebs detektieren und indizieren und somit einem Ausfall im Feld vorbeugen können.

Am Anfang standen umfangreiche Untersuchungen zur Datengewinnung von Alterungsmechanismen und deren Auswirkungen auf mikroelektronische Schaltungen im Mittelpunkt. Daraufhin wurden neuartige PCM (Parameter Control Measurement)-Strukturen entwickelt, deren Analyse bei künstlicher Alterung die Auswirkungen der wichtigsten Degradationsursachen (Negative Bias Temperature In-

stability (NBTI), Hot Carrier Degradation (HCD), Elektromigration) und deren Modellierung ermöglichte.

Es wurde eine Monitoring-Architektur für gemischt-analog-digitale Systeme konzipiert. Die Einbindung von Alterungsmonitoren und Testverfahren erfolgt mittels rekonfigurierbarer Schiebennetze. Hierfür wurden erstmals skalierbare formale Modellierungsmethoden entwickelt, die die Entwurfsverifikation und Analyse komplexer Schiebennetze erlaubt. Basierend auf diesem Modell können auch minimale Zugriffsmuster auf Instrumente in dem Schiebennetz berechnet werden. Die Ausstattung von Schaltungen mit Monitoren und Infrastruktur öffnet potentielle Seitenkanäle für Angriffe. Diesem Sicherheitsproblem wurde auf logischer Ebene mit Zugriffsfiltren für Schiebennetze begegnet. Diese Filter implementieren äußerst effizient eine feingranulare Zugriffsverwaltung in der Schaltung.

Neuartige Workload-Monitore mit nur geringem Platzverbrauch und konfigurierbare Stabilitätschecker wurden entwickelt, um den in Schaltungsstrukturen während des Betriebs induzierten Stress abzuschätzen, bzw. den Fortschritt der alterungsbedingten Degradierung auf dem Chip nebenläufig zu messen. Die optimale Anzahl und Platzierung von Stabilitätscheckern wurde dabei basierend auf einem mittleren oder einem erwarteten Nutzungsprofil bestimmt. Dieses Monitorkonzept wurde auf Basis der IMS CHIPS eigenen $0.5\mu\text{m}$ CMOS Technologie realisiert und befindet sich zurzeit in der Evaluierung mit Methoden der beschleunigten Alterung.

Darüber hinaus wurde eine Architektur speziell für den effizienten eingebauten Test kleiner Verzögerungsfehler bei erhöhter Frequenz (FAST) vorgestellt, die die Kosten für solche Tests reduziert und einen autonom periodischen Test im Feld mit hoher Fehlerabdeckung gestattet. Innovative Testalgorithmen, welche die hohe Anzahl von Signalen mit unbekanntem (X) Werten, die bei FAST auftreten, akkurat behandeln, erlauben darüber hinaus eine höhere Fehlerabdeckung, als mit konventionellen n-wertigen Algorithmen prinzipiell möglich ist. Da Prozessvariationen die Fehlerabdeckung einer Testmenge bzgl. kleiner Verzögerungsfehler beeinträchtigen kann, wurde ein deterministischer Algorithmus vorgeschlagen, der eine sehr hohe Testeffizienz (Erkennung prinzipiell erkennbarer Fehler) erreicht. Diese Arbeit wurde mit dem Best Paper Award des IEEE European Test Symposiums 2014 ausgezeichnet.

Die Erkenntnisse aus den Alterungsexperimenten flossen in die Entwicklung einer Simulationsumgebung zur Bestimmung nicht-funktionaler Eigenschaften (non-functional properties, NFPs) ein, in der Abhängigkeiten von Eigenschaften berücksichtigt werden. Die hohe Effizienz des Ansatzes bei hoher Genauigkeit wurde durch eine ebenenübergreifende Simulation mit abschnittsweiser Auswertung auf unteren Ebenen erreicht. So kann der kumulierte Effekt von unterschiedlichen Alterungsvorgängen, wie NBTI oder HCD, gleichzeitig analysiert werden.

Die im OASIS-Projekt entwickelten Konzepte und Modelle im Bereich des Alterungs-Online-Monitoring können direkt in Fehlertoleranz-Architekturen, beispielsweise mit dedizierten strukturellen Redundanzen, integriert werden. Dies ermöglicht eine kostengünstige und erhebliche Verlängerung der Lebensdauer mikroelektronischer Schaltungen und Systeme.

2.7. OTERA: Online Test Strategies for Reliable Reconfigurable Architectures

seit 10.2010, DFG-Projekt: WU 245/10-1, 10-2, 10-3



Projektmitarbeiter:

Dr. rer. nat. Michael A. Kochte
Dipl.-Inf. Eric Schneider

Kooperationspartner:

Prof. Dr.-Ing. Jörg Henkel, Chair for Embedded Systems (CES)
Karlsruhe Institute of Technology (KIT)

Das DFG-Schwerpunktprogramm 1500 „Design and Architectures of Dependable Embedded Systems - A Grand Challenge in the Nano Age“ erforscht effiziente Methoden zur Sicherung der Verlässlichkeit eingebetteter Systeme, die von der Schaltungs- bis zur Systemebene reichen. Im Rahmen dieses Schwerpunktprogramms untersucht das Institut für Technische Informatik Methoden des Online-Tests und der Zuverlässigkeitssteigerung für rekonfigurierbare Architekturen.

Dynamisch rekonfigurierbare Architekturen ermöglichen eine signifikante Beschleunigung unterschiedlichster Anwendungen durch Anpassung und Optimierung ihrer Hardwarestruktur zur Laufzeit. Der zuverlässige Betrieb dieser Architekturen wird jedoch durch permanente, intermittierende und transiente Fehler gefährdet. Dies umfasst latente Fehler, im Verlauf des Betriebs auftretende Fehler durch Alterung, sowie intermittierende und transiente Effekte (z.B. aufgrund hoher Temperatur, Strahlung, Schwankungen in der Stromversorgung, usw.).



In der ersten Förderphase des OTERA-Projekts wurden permanente Fehler behandelt. Die zweite und dritte Förderphase zielen auf die Steigerung der Zuverlässigkeit rekonfigurierbarer Systeme zur Laufzeit durch den Einsatz von System-Monitoren, Verfahren zur Zuverlässigkeitsabschätzung und pro-aktiver Selbstverteidigungsmaßnahmen. Somit werden Beeinträchtigungen im Betrieb durch permanente, intermittierende und transiente Fehler minimiert. Dies wird durch die kontinuierliche Überwachung des Systems sowie die Abschätzung und Vorhersage des Systemzustands erreicht. Es werden basierend auf dem aktuellen und dem prognostizierten Systemzustand zuverlässigkeitssteigernde Maßnahmen bereitgestellt, die vom System zur Laufzeit ausgewählt und angewendet werden. Somit soll das System selbständig Betriebszustände finden, die die geforderte Leistung über die Lebensdauer gewährleisten ("guaranteed performability").

2.8. SimTech: Simulation on Reconfigurable Heterogeneous Computer Architectures



seit 06.2008, DFG-Exzellenzcluster „Simulation Technology“ (SimTech)

Projektmitarbeiter:

Dr. rer. nat. Claus Braun
Dipl.-Inf. Alexander Schöll

Kooperationspartner:

Prof. Dr. Guido Schneider, Institut für Analysis, Dynamik und Modellierung, Universität Stuttgart
Prof. Dr.-Ing. Joachim Groß, Institut für Thermodynamik und thermische Verfahrenstechnik, Universität Stuttgart

Bereits seit Beginn der ersten Förderphase des DFG-Exzellenzclusters „Simulation Technology“ (SimTech) an der Universität Stuttgart im Jahre 2008 ist das Institut für Technische Informatik (Abteilung Rechnerarchitektur) ununterbrochen ein fester Bestandteil der Forschungsaktivitäten des Stuttgart Research Centre for Simulation Technology (SRC SimTech). Innerhalb des DFG-Exzellenzclusters fungiert Hans-Joachim Wunderlich als Projektleiter (principal investigator) sowie als Koordinator der Forschungsaktivitäten des SimTech-Projektnetzwerks PN2 „High Performance Simulations across Computer Architectures“.



Die Forschungsarbeiten des Instituts im Rahmen des SimTech-Projekts „Simulation on Reconfigurable Heterogeneous Computer Architectures“ reichen von der Entwicklung neuer Methoden für die Analyse und Abbildung komplexer Simulationsalgorithmen über die Entwicklung, Anpassung und Integration geeigneter Fehlertoleranzmaßnahmen, bis hin zur Modellierung, Evaluierung und Einbindung zukünftiger approximativer Rechnerarchitekturen.

Im Mittelpunkt stehen dabei immer heterogene, zu Laufzeit konfigurierbare Hochleistungsrechnersysteme bestehend aus klassischen Mehrkernprozessoren (multi-core CPU), hochparallelen Grafikprozessoren (many-core GPU) und konfigurierbaren Hardwarebeschleunigern (FPGA). Im Bereich der Abbildung komplexer Simulationsalgorithmen konnten die seit der ersten Projektphase bestehenden Kooperationen mit dem Institut für Analysis, Dynamik und Modellierung (Prof. Dr. Guido

Schneider) sowie dem Institut für Thermodynamik und thermische Verfahrenstechnik (Prof. Dr.-Ing. Joachim Groß) erfolgreich fortgeführt und ausgebaut werden. Wesentlicher Gegenstand dieser Kooperationen sind die massiv-parallele Simulation großer Partikelsysteme auf unterschiedlichen Zeitskalen, sowie Markov-Kettenbasierte Monte-Carlo-Simulationen.

Während in der ersten Projektphase die Beschleunigung und fehlertolerante Ausführung mathematischer Kernoperationen aus der linearen Algebra für dicht besetzte Matrizen (*dense matrices*) einen wichtigen Schwerpunkt bildeten, sind nun in der zweiten Projektphase die Parallelisierung und Absicherung iterativer Verfahren zur Lösung großer Gleichungssysteme sowie Operationen auf dünnbesetzten Matrizen (*sparse matrices*) in den Vordergrund getreten. Dabei konnten für die Familie der konjugierten Gradientenmethoden (*conjugate gradient methods*), insbesondere für das vorkonditionierte CG-Verfahren besonders effiziente und effektive Fehlertoleranzmaßnahmen entwickelt werden.

3. Lehre

Die Abschlussarbeiten beziehen sich auf aktuelle Forschungen des Instituts sowie angeregte Themen unserer Kooperationspartner.

Das notwendige Hintergrundwissen wird durch eine Reihe von Vorlesungen, Seminaren und Praktika vermittelt, in denen die grundlegenden Strukturen und Design-Techniken sowie fortschrittliche Themen der Design-Automatisierung vorgestellt werden. Die Vorlesungen *Rechnerorganisation* und *Grundlagen der Rechnerarchitektur* geben einen Überblick über die Architektur moderner Datenverarbeitungssysteme und behandeln die grundlegenden Strukturen schneller digitaler Systeme. Außerdem werden in verschiedenen Seminaren Algorithmen und Strukturen für das Design von fehlertoleranten und zuverlässigen Systemen präsentiert.

Praktisches Knowhow erlernen die Studierenden in einem Praktikum für den Entwurf digitaler Systeme, dessen Ziel die Einführung in elementare elektronische Geräte ist und die Implementierung einfacher digitaler Schaltungen in FPGAs beinhaltet.

Die Abteilung Rechnerarchitektur bietet eine gleichnamige Vertiefungslinie an, die grundlegende Methoden des Entwurfs digitaler Systeme behandelt und innovative Rechnerstrukturen vorstellt.

3.1. Bachelor-Studiengang

3.1.1. Rechnerorganisation 1

Bachelor-Studiengang Informatik, Bachelor-Studiengang Softwaretechnik, Vorlesung mit Übungen, 3V + 1Ü SWS

Dozenten: H.-J. Wunderlich, M. Radetzki, E. Schneider, M. Wagner

Der moderne Rechnerentwurf geschieht auf mehreren Entwurfsebenen, angefangen vom Aufbau von Operations- und Steuerwerken aus einfachen logischen Gattern bis hin zum Entwurf von Befehlssätzen und der Unterstützung von Betriebssystemen. In der Vorlesung werden für alle Entwurfsebenen die heute gebräuchlichen Strukturkonzepte vorgestellt. Wegen der immer größer werdenden Komplexität digitaler Systeme spielt die Entwurfsmethodik eine wesentliche Rolle. Der Inhalt der Vorlesung wird im Rahmen von Gruppenübungen vertieft.

Die Vorlesung behandelt die folgenden Themenschwerpunkte:

- Einleitung
-

- Informationsdarstellung
- MIPS als RISC-Beispiel
- Operationswerke
- Steuerwerke
- Befehlszyklus und Unterbrechungen
- Pipelining und Scheduling
- Speicherorganisation
- Speicherverwaltung
- Betriebssysteme
- Eingabe und Ausgabe
- Leistungsbewertung

3.1.2. Rechnerorganisation 2 / Hardwarepraktikum

Bachelor-Studiengang Informatik, Vorlesung mit Übungen,
1V + 4Ü SWS

Dozenten: H.-J. Wunderlich, E. Schneider, D. Ull, M. Wagner

Rechnerorganisation 2 (auch „Hardwarepraktikum / HAPRA“) ist eine 5 stündige Lehrveranstaltung im Studiengang Informatik, die praxisnah Grundlagen des Entwurfs digitaler Schaltungen und Systeme sowie den Zusammenhang zwischen Hard- und Software vermittelt. Die Veranstaltung gliedert sich in einen Praktikumsteil, in dem zwölf aufeinander aufbauende Versuche durchgeführt werden. Sie wird von einer wöchentlichen Vorlesung begleitet.

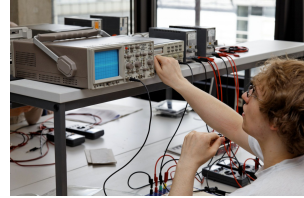
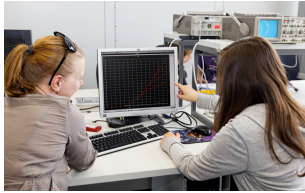
Datenverarbeitende Systeme werden heute in der Regel als digitale Schaltungen realisiert, wobei eine Vielzahl von Funktionseinheiten auf einem einzigen Chip integriert wird. Dabei sind eine Reihe von Schaltungsproblemen und -effekten zu berücksichtigen. Vor dem Einsatz integrierter Schaltungen im Hardwarepraktikum sollen daher die wesentlichen Bauelemente und einfache Grundsaltungen der Elektronik aufgebaut, ausgemessen und simuliert werden. Auf diese Weise werden Effekte und Probleme erfahrbar, die auch in integrierten Schaltungen auftreten.

Anschließend wird ein einfacher RISC-Prozessor mithilfe kommerzieller Entwicklungswerkzeugen von Mentor Graphics und Xilinx entworfen und mit einem Field Programmable Gate Array (FPGA) in Hardware umgesetzt. Neben dem Entwurf kombinatorischer und sequentieller Schaltungen werden dabei auch Arbeitstechniken zur Komplexitätsbewältigung und Konzepte zur Schaltungsvalidierung vermittelt. Der selbst entworfene Prozessor wird am Ende des Praktikums in Maschinensprache programmiert.

Die Themen im Überblick:

- Grundlagen des Entwurfs digitaler Schaltungen und Systeme
-

- Aufbau und Ausmessung einfacher Grundschaltungen der Elektronik
- Modellierung und Simulation integrierter Schaltungen
- Entwurf eines einfachen RISC-Prozessor in VHDL
- Synthese und Test des Prozessorentwurfs mit FPGA Prototypen Boards
- Programmierung des Prozessors in Maschinensprache



Studierende im Hardwarepraktikum

3.1.3. Grundlagen der Rechnerarchitektur / Advanced Processor Architecture (in English)

Bachelor-Studiengang Informatik, Bachelor-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Lecture and Exercises, 3L + 1E

Lecturer: H.-J. Wunderlich, C. Braun

This lecture covers advanced concepts in computer architecture. Beside classical concepts like processor design and manufacturing, performance evaluation and optimization, and computer arithmetic new trends are discussed like low power design. Low power design is essential in mobile computing and communication which is a dominating application of microprocessors.

Computation power is increasing by exploiting parallelism on all levels of computation. This course discusses instruction level parallelism, thread level parallelism, multiprocessor systems and emerging many-core technologies found in current graphic accelerators.

The lecture provides a solid background for the courses:

- Design & Test of Systems-on-a-Chip
 - Hardware Verification
 - Self-Testable Systems
 - Fault Tolerant Systems
-

3.2. Master-of-Science- Studiengang

3.2.1. Hardware Verification and Quality Assessment (in English)

Kernveranstaltung der Vertiefungslinie Rechnerarchitektur im Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Lecture and Exercises, 3L + 1E

Lecturer: H.-J. Wunderlich, L. Rodríguez Gómez

Microelectronic systems are more and more used in mission critical applications such as automotive, avionics and medical systems. Since errors during the design as well as manufacturing defects in these systems cannot be completely avoided system correctness has to be verified or validated with highest confidence.

This lecture gives an introduction to design validation and verification techniques which are applied in different steps of the design flow of integrated circuits. A second focus of the lecture are manufacturing test methods for integrated circuits in order to detect structural defects introduced during the production of the chip.

In the lecture the following issues are addressed:

- Design validation by simulation and hardware accelerated emulation
- Formal verification methods
- Defect analysis
- Hardware test (design-for-test, fault simulation, test generation)

3.2.2. Elements of High Performance RISC Processors - Design and Synthesis (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Exercises, 4E

Lecturer: L. Rodríguez Gómez, C. Liu

In this lab course a basic 32-bit RISC processor is extended with techniques common to high-performance processors.

The extensions include:

- Pipelining
- 4-way SIMD
- Pipelined hardware multiplier
- Cache, writeback queue, etc.

The resulting processor architecture is quite similar to the one used in the synergistic processing element of the Cell Broadband Engine, used e.g. in Playstation 3.

In order to achieve high performance, proper design techniques and software tools for synthesis and analysis play an important role. The students learn how timing analysis, pipelining and retiming can be used to optimize the synthesis results. Finally, the processor is emulated on a Virtex-5 FPGA prototyping board.

The performance gain of the student's design is measured for the Mandelbrot set computation with respect to the basic RISC architecture. Because software has to be specifically tailored to high-performance processor architectures, the lab course also deals with scheduling techniques that avoid pipeline stalls.

3.2.3. Design, Test and Application of Emerging Computer Architectures (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar; Master-Studiengang Information Technology, Seminar, 2HS

Lecturer: H.-J. Wunderlich, C. Braun, E. Schneider, A. Schöll

The term Emerging Computer Architectures summarizes a new class of innovative computer architectures, which aim to improve computational performance, power efficiency and reliability based on radical new design principles.

One of these new design principles is approximate computing, which includes temporal-approximate and Boolean-approximate computer architectures. The first category can be seen as a generalization of existing speculative computer architectures. The second category allows inexact functionality within certain boundaries and can be applied in multimedia or telecommunication applications. Examples for such emerging computer architectures are highly power-efficient CPUs that operate near to the threshold voltage.

Another group of emerging architectures are variable precision computer architectures, which enable a significant reduction of power consumption, bandwidth and storage requirements.

This seminar addresses three main areas of challenges that arise with the advent of emerging computer architectures, namely the design, the test and the scope of applications. This comprises the topics:

- Design and synthesis of ECAs
- Test methods and test infrastructure
- Applications of ECAs in the embedded domain
- Applications of ECAs in the high-performance computing (HPC) domain

3.2.4. Design & Test of 3D-integrated circuits (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar; Master-Studiengang Information Technology, Seminar,

2HS

Lecturer: H.-J. Wunderlich, M. Kochte, D. Ull

This recent 3D-IC trend poses novel challenges to electronic design automation tools and manufacturing techniques. Synthesis algorithms traditionally only consider a two-dimensional layout. The tight stacking of chips increases power density in the system and may cause temperature hot spots which threaten reliability of the system.

During the manufacturing of the chips and the through-silicon-vias, defects may occur which need to be tested and diagnosed to avoid assembly of defective units. Such a test must both be very thorough and cost-efficient. Spare vias can be integrated to tolerate certain defects and to increase the yield.

This seminar addresses the challenges posed by 3D-IC integration and discusses algorithmic solutions to them. This comprises methods tailored for 3D-IC targeting:

- Design automation and synthesis
- Simulation algorithms
- Power and thermal management
- Test and diagnosis
- Yield and reliability challenges

3.3. Lehrveranstaltungen im Wintersemester 2014 - 2015

| Titel | Veranstaltungsart | Dozent |
|---|--------------------------|--|
| Rechnerorganisation 1 3V | Vorlesung | M. Radetzki |
| Rechnerorganisation 1 1Ü | Übung | M. Radetzki E. Schneider M. Wagner |
| Elements of High-Performance RISC Processors - Design and Synthesis 4Ü | Fachpraktikum | R. Baranowski L. Rodríguez Gómez |
| Hauptseminar: Design & Test of 3D-integrated cir- cuits 2HS | Hauptseminar | H.-J. Wunderlich Wiss. Mitarbeiter |
| Kolloquium Rechnerarchitektur 2K | Seminar | H.-J. Wunderlich Wiss. Mitarbeiter |

3.4. Lehrveranstaltungen im Sommersemester 2015

| Titel | Veranstaltungsart | Dozent |
|---|--------------------------|---|
| Rechnerorganisation 2 Hardwarepraktikum 1V | Vorlesung | H.-J. Wunderlich Wiss. Mitarbeiter |
| Rechnerorganisation 2 Hardwarepraktikum 4Ü | Übung | E. Schneider D. Ull M. Wagner H.-J. Wunderlich |
| Advanced Processor Architecture 3V | Vorlesung | H.-J. Wunderlich |
| Advanced Processor Architecture 1Ü | Übung | C. Braun |
| Grundlagen der Rechnerarchitektur 3V | Vorlesung | H.-J. Wunderlich |
| Grundlagen der Rechnerarchitektur 1Ü | Übung | C. Braun |
| Hardware Verification and Quality Assessment 3V | Vorlesung | H.-J. Wunderlich L. Rodríguez Gómez |
| Hardware Verification and Quality Assessment 1Ü | Übung | L. Rodríguez Gómez |
| Elements of High-Performance RISC Processors - Design and Synthesis 4Ü | Fachpraktikum | L. Rodríguez Gómez C. Liu |
| Seminar: Design, Test and Applica- tion of Emerging Computer Archi- tectures 2HS | (Haupt-) Seminar | H.-J. Wunderlich C. Braun E. Schneider A. Schöll |
| Oberseminar Rechnerarchitektur 2K | Seminar | H.-J. Wunderlich Wiss. Mitarbeiter |

3.5. Oberseminar

Im Rahmen des Oberseminars stellen Studierende und wissenschaftliche Mitarbeiterinnen und Mitarbeiter wesentliche Ergebnisse ihrer (Bachelor-, Master- und Doktor-) Arbeiten vor. In einem ca. halbstündigen Vortrag plus anschließender Diskussion werden die Kernpunkte der eigenen Arbeit und Leistung dargestellt.

Ein erfolgreich absolviertes Oberseminar ist zudem Voraussetzung, um am Institut eine Abschlussarbeit abzuschließen. Es folgt die Übersicht über die Vorträge des Studienjahrs 2014 / 2015.

SAT-basierte Überprüfung der Fehlersicherheit von Schaltungen

M.Sc. cand. Maren Tilk, Institut für Technische Informatik, 05.02.2015

In einer Schaltung können Fehler auftreten, die herstellungsbedingt sind oder erst während der Laufzeit entstehen. Um ein Fehlverhalten von Schaltungen auszuschließen, müssen fehlerhafte Ausgaben zur Laufzeit erkannt werden. Diese Eigenschaft einer Schaltung wird als Fehlersicherheit bezeichnet. In dieser Arbeit wird eine Methode untersucht, die die Fehlersicherheit einer Schaltung überprüfen soll, indem die Problemstellung auf das Boolesche Erfüllbarkeitsproblem (SAT) übertragen wird.

Tailoring and Optimization of a GPU Simulation Environment on Apoptotic Receptor-Clustering to OpenCL

B.Sc. cand. Stefan Simeonov, Institut für Technische Informatik, 05.02.2015

A GPU simulation environment is tailored to the OpenCL programming model and optimized on different hardware architectures. The simulation serves the research of apoptotic receptor-clustering, a mechanism for initiating apoptosis. Apoptosis is an essential process in the development of multicellular organisms. As a type of programmed cell death, it enables a controlled removal of unneeded cells. The process also plays an important role in diseases such as cancer or AIDS. The existing implementation of the simulation environment utilizes the proprietary CUDA programming model. By employing OpenCL instead, the range of supported hardware is extended by additional parallel architectures. The implementation is modified and new functionality is developed to overcome limitations of the OpenCL programming model. The results of the new implementation are validated using the existing CUDA implementation. The latter also serves as a reference point for a performance analysis of the developed implementation. A performance very similar to that of the CUDA version is observed on different GPUs. An Intel Xeon Phi coprocessor, on the other hand, shows comparatively poor performance results.

Characterization of gates under different variations

Muhammad Arifur Rahman, Institut für Technische Informatik, 05.02.2015

As technology is scaled down to nanometer regime, process variations become more and more pronounced in fabrication. Fabrication limitations which may cause variations in the internal parameters, like the width or length of the gates, and increased sensibility to external parameters, such as threshold voltage and temperature, introduce unpredictable delays in the fabricated chips, which causes uncertainty in circuit performance and chip speed. The presented work characterizes the behavior of gates under different process variations and environmental

conditions using HSPICE in order to derive the impact of the different parameters on gate delays.

Reliability Estimation for Optimal Selection of Structural Redundancies in Reconfigurable On-Chip Networks

M.Sc. Atefe Dalirsani, Institut für Technische Informatik, 17.02.2015

Networks-on-chip (NoCs) provide scalable communication in many-core systems-on-chip. Fault tolerant NoC design, for instance by adding structural redundancy, can mitigate the consequences of manufacturing variations and defects that occur during operation. On the other hand, fault tolerance increases costs for design, area, power, or performance. It is necessary to accurately estimate both costs and reliability gain of such techniques in early design phases to select the appropriate technique with respect to the expected failure rate and reliability requirements. In the past, analytical models have been proposed to estimate performance, power dissipation, area and yield of NoCs. This talk proposes an analytical model to estimate the reliability of a NoC considering the inherent redundancy in the communication fabric as well as additional redundancy to avoid single points of failure. The reliability is quantified as the probability that a required number of cores (processing elements) can communicate in presence of link or switch failures. The results show that the model accurately estimates the reliability, which is used for design space exploration.

Efficient Fault-Tolerance for the Preconditioned Conjugate Gradient Method

Dipl.-Inf. Alexander Schöll, Institut für Technische Informatik, 17.02.2015

Linear system solvers are key components of many scientific applications and they can benefit significantly from modern heterogeneous computer architectures. However, such nano-scaled CMOS devices face an increasing number of reliability threats, which make the integration of fault tolerance mandatory. The preconditioned conjugate gradient method (PCG) is a very popular solver since it typically finds solutions faster than direct methods. Additionally, it is less vulnerable to transient effects. However, as latest research shows, the vulnerability is still significant. Even single errors can significantly increase execution times or corrupt solutions without indication. In this presentation, a novel and highly efficient fault-tolerant PCG method is described. The method only requires the application of two inner products to reliably detect errors. In case of errors, the method selects between roll-back and online correction, which enables a significant reduction of error detection overhead and expensive re-computations.

Efficient Observation Point Selection for Path Delay Monitoring

M.Sc. Chang Liu, Institut für Technische Informatik, 17.02.2015

Aggressive technology scaling comes along with a growing susceptibility to tran-

sistors aging due to Negative-Bias Temperature Instability (NBTI) and Hot-Carrier Injection (HCI). The aging process causes a gradual performance degradation rather than an abrupt functional failure. Aging effects depend on workload as well as the working condition of the system, which are hard to be predicted in early design phase resulting in pessimistic worst case design. Existing delay monitoring schemes provide an accurate measure of circuit remaining slack, but cause a significant hardware penalty including global wiring. More importantly, the low sensitization ratio of certain functional applications may lead to large testing latencies or even an unmonitored delay violation progress. In this work, we propose a stability checker placement/ relocation method by analyzing the circuit topological structure and gates sensitization possibility. Instead of integrating sensors only in flip-flops (FF), the delay monitors are inserted at meticulously selected positions in the circuit, named as observation points (Ops). With the novel partially covering concept, our OP monitor placement strategy can reduce the number of monitors by a factor of up to 41. The experimental validation shows the effectiveness of the proposed OP-based aging prediction i.e. a sensor activates always earlier than any imminent timing failure.

GPU-Accelerated Small Delay Fault Simulation

Dipl.-Inf. Eric Schneider, Institut für Technische Informatik, 17.02.2015

The simulation of delay faults is an essential task in design validation and reliability assessment of circuits. Due to the high sensitivity of current nano-scale designs against smallest delay deviations, small delay faults recently became the focus of test research. Because of the subtle delay impact, traditional fault simulation approaches based on abstract timing models are not sufficient for representing small delay faults. Hence, timing accurate simulation approaches have to be utilized, which quickly become inapplicable for larger designs due to high computational requirements. In this talk a waveform-accurate approach for fast high-throughput small delay fault simulation on Graphics Processing Units (GPUs) is presented. By exploiting parallelism from gates, faults and patterns, the proposed approach enables accurate exhaustive small delay fault simulation even for multi-million gate designs without fault dropping for the first time.

Algorithm-Based Fault Tolerance for Matrix Operations on Graphics Processing Units

Dipl.-Inform. Claus Braun, Institut für Technische Informatik, 18.02.2015

Scientific computing and computer-based simulation technology evolved to indispensable and highly valuable tools that impel solutions for major challenges in science and engineering. Such applications are often dominated by compute-intensive mathematical operations such as linear algebra matrix operations. Graphics processing units (GPUs) developed within the last decade from highly specialized ASICs to versatile parallel many-core processors which deliver tremendous floating-point performance at very low cost. GPUs enable the substantial acceleration of applications in science and engineering outside of HPC compute centers, and they open up an entirely new spectrum of applications. GPUs also rapidly

advance into the field of embedded systems where they provide parallel compute power, for instance, for realtime simulations and safety-critical image processing tasks in the automotive domain. Besides high computational performance, reliability is of utmost importance for these applications to guarantee correct and trustworthy results, which can have considerable impact on scientific, economic and political processes and decisions. Algorithm-based Fault Tolerance (ABFT) is an attractive option for the provision of fault tolerant GPU kernels for accelerated applications in science and engineering. In this talk, a novel approach to Algorithm-based Fault Tolerance for linear algebra matrix operations on GPUs is presented.

Pattern analysis for defect classification

Dipl.-Inf. Laura Rodríguez Gómez, Institut für Technische Informatik, 18.02.2015

The correct identification of defect mechanisms in manufactured digital circuits improves yield learning and helps correct the manufacturing process in case of systematic defects. Unfortunately, diagnosis approaches generally give little insight into the actual mechanisms causing the observed failure. Very often the defect mechanisms are not static, but are rather activated depending on the activity the applied patterns induce in the circuit. Monitoring every signal in the circuit is unfeasible, so the presented approach intends to identify relevant characteristics of the activity in the circuit which can be extracted from logic simulation of the failing patterns, and feed them to a machine-learning based engine which will classify the defect mechanism.

Software-based self-test Generation for complex pipeline structures

Dipl.-Inf. Dominik Ull, Institut für Technische Informatik, 18.02.2015

Modern processors comprise complex pipeline structures, which contain hard to test bypass and forwarding logic for throughput optimization and hazard resolution. In this work, we present an automated software-based self-test (SBST) generation method, which directly targets hard to test pipeline forwarding logic. Topological information from the processor's register-transfer-level (RTL) description is used to construct a reduced but equivalent combinational circuit model at gate-level. Test programs are generated by means of structural automatic test pattern generation (ATPG). Required constraints are automatically extracted from the processor's hardware description. The feasibility of the proposed method is shown for the 5-stage pipeline of the miniMIPS processor.

Secureness in Reconfigurable Scan-Infrastructure

Dipl.-Inf. Michael Kochte, Institut für Technische Informatik, 17.07.2014

Modern VLSI designs incorporate a high amount of instrumentation for post-silicon validation and debug, test and diagnosis, or in-field system maintenance. Reconfigurable scan architectures such as IEEE Std 1687 (IJTAG) emerge as a scalable access to such on-chip instruments. A secure access management method is mandatory

to ensure that critical instruments be accessible only to authorized entities. In this talk protection methods for reconfigurable scan architectures are presented to implement fine-grained secure access management.

Adaptierung von Zeitverhalten-Variationen in rekonfigurierbaren Hardwarestrukturen

B.Sc. cand. Sebastian Brandhofer, Institut für Technische Informatik, 23.04.2015

Das Zeitverhalten von Komponenten in rekonfigurierbaren Hardwarestrukturen kann durch Alterungseffekte und zufällige Defekte variieren. Wenn ein System nicht an diese Abweichungen vom nominellen Zeitverhalten adaptiert werden kann, entstehen Verzögerungsfehler während des Betriebs, die zu falschen Ergebnissen oder Systemausfällen führen können. Insbesondere in sicherheitskritischen Anwendungen von rekonfigurierbaren Hardwarestrukturen kann dies zu Gefährdung von Personen führen. Diese Arbeit stellt einen Algorithmus zur Adaptierung an Zeitverhalten-Variationen in rekonfigurierbaren Hardwarestrukturen vor, der Alterung von Komponenten sowie zufällige Defekte berücksichtigt und Verzögerungsfehler durch eine dem Zeitverhalten angepasste Nutzung der rekonfigurierbaren Hardwarestrukturen vermeidet. Der entworfene Algorithmus wird mit Hilfe von verschiedenen Verzögerungsverteilungen hinsichtlich der Adaptionsfähigkeit, Speicheranforderungen und Laufzeit untersucht.

Software-basierter Selbsttest eingebetteter Speicher

B.Sc. cand. Felix Ebinger, Institut für Technische Informatik, 07.05.2015

Prozessoren werden häufig mittels softwarebasierter Selbsttests (SBST) getestet, da dieses Testverfahren mehrere Vorteile besitzt. Zunächst ist der Test zerstörungsfrei, und wird im funktionalen Betriebszustand des Prozessors durchgeführt. Es ist weder eine Veränderung des Hardwaredesigns erforderlich noch ist ein Über-testen möglich. Die Testmethode ist flexibel einsetzbar und kann sowohl beim Herstellungstest als auch im Feld genutzt werden. Speicher werden dagegen üblicherweise mittels eingebauter Selbsttests (engl. built-in self-test, BIST) getestet, da der Overhead durch die zusätzliche Testhardware nur gering ausfällt und diese Tests bei Speichern ohne Performance-Einbußen realisiert werden können. In dieser Arbeit wird die softwarebasierte Umsetzung von Speichertests untersucht um die Vorteile softwarebasierter Selbsttests auch bei Speichertests nutzen zu können. Dies stellt eine Herausforderung dar, da softwarebasiert nicht jede Operationsfolge mit frei wählbarem Zeitverhalten erzeugt werden kann. Insbesondere bei dynamischen Fehlern kann dies zu einer Verringerung der Testabdeckung führen. Hierzu wird ein Framework zur automatischen Umwandlung von Marchtestbeschreibungen in Testprogramme für den miniMIPS-Prozessor vorgestellt. Dabei steht besonders die Laufzeit des Testprogramms und die erreichte Testabdeckung im Vordergrund. Die Testabdeckung wird durch Simulation und Fehlerinjektion experimentell bestimmt. Es zeigt sich, dass die Fehlerabdeckung für die untersuchten statische und dynamische Fehlermodelle durch die vorgestellte Implementierung in Software nicht beeinträchtigt wird.

Software-basierter Selbsttest von Peripherie-Komponenten

B.Sc. cand. Jochen Bäßler, Institut für Technische Informatik, 11.06.2015

Software-basierte Selbsttest (SBST) Techniken werden zumeist für das Testen von Mikroprozessoren eingesetzt, lassen sich jedoch auch auf Peripheriekomponenten anwenden. Der Vorteil von SBST, gegenüber Hardware-basierten Ansätzen, besteht dabei im Verzicht auf spezielle Testhardware und Hochgeschwindigkeitstestgeräte und der Tatsache dass Tests in der natürlichen Betriebsumgebung (engl. in-system) und zur normalen Betriebsfrequenz (engl. at-speed) ablaufen. Peripheriekomponenten nehmen in vielen Systemen einen erheblichen Teil der Chipfläche ein, werden teilweise für sicherheitskritische Aufgaben eingesetzt und müssen folglich ausgiebig getestet werden. Um SBST-Verfahren erfolgreich auf diesem Typ von Komponenten anzuwenden, müssen Maßnahmen getroffen werden um deren geringe Beobacht- und Kontrollierbarkeit zu erhöhen, da andernfalls die erzielte Fehlerabdeckung der Verfahren zu niedrig ausfällt.

In dieser Arbeit werden zwei unterschiedliche Ansätze untersucht, um die strukturelle Fehlerabdeckung von SBST-Verfahren auf Kommunikations-Peripheriekomponenten zu verbessern. Der erste Ansatz zielt auf eine verbesserte Kontrollierbarkeit der verwendeten Komponente ab. Dazu wird ein Loopback-basierter Mechanismus implementiert. Um darüber hinaus eine bessere Beobachtbarkeit zu erreichen wird als zweiter Ansatz der Zustand ausgewählter internen Signale dem System sichtbar gemacht.

Eine beispielhafte Anwendung der vorgestellten Methode auf die I2C Komponente eines RISC Prozessors zeigte die Wirksamkeit der verwendeten Maßnahmen zur Verbesserung der strukturellen Fehlerabdeckung.

Towards Dark Silicon Era in FPGAs Using Complementary Hard Logic Design

M.Sc. Ali Ahari, Karlsruhe Institute of Technology and Sharif University of Technology, 18.06.2015

While the transistor density continues to grow exponentially in Field-Programmable Gate Arrays (FPGAs), the increased leakage current of CMOS transistors act as a power wall for the aggressive integration of transistors in a single die. One recently trend to alleviate the power wall in FPGAs is to turn off inactive regions of the silicon die, referred to as dark silicon. This paper presents a reconfigurable architecture to enable effective fine-grained power gating of unused Logic Blocks (LBs) in FPGAs. In the proposed architecture, the traditional soft logic is replaced with Mega Cells (MCs), each consists of a set of complementary Generic Reconfigurable Hard Logic (GRHL) and a conventional Look-Up Table (LUT), both GRHL cells and LUTs can be power gated and turned off by controlling configuration bits. In the proposed MC, only one cell is active and the others are turned off. Experimental results on MCNC benchmark suite reveal that the proposed architecture reduces the critical path delay, power, and Power Delay Product (PDP) of LBs up to 5.3%, 30.4%, and 28.8% as compared to the equivalent LUT-based architecture.

A WSA-based IR-Drop Estimation Method for High Quality Test Pattern Validation

Assist. Prof. Yuta Yamato, NAIST Japan / Institut für Technische Informatik, 05.08.2015

It is well known that at-speed scan testing dissipates much power compared to functional operation and may cause functionally good chips to fail due to excessive IR-drop-induced timing failures. To avoid this while keeping fault detection quality, test patterns should be precisely validated and suspicious patterns should be eliminated or re-generated a priori. A straightforward way of test pattern validation is to perform dynamic IR-drop analysis and voltage-annotated timing analysis for all patterns. However, it is practically impossible to perform such time-consuming analyses for a number of patterns. In this talk, a method for quickly and accurately estimating per-cell IR-drop is presented.

Software-based Self-test Compaction

Dipl.-Inf. Dominik Ull, Institut für Technische Informatik, 05.08.2015

SAT-based SBST generation approaches search for a test instruction or test instruction sequence to detect a single fault. This is repeated for every unknown fault. When a test is found, fault dropping may be employed to lower the test generation effort. This overall procedure results in a set of single test patterns, which are mapped to instructions to form a test program. Such a program typically achieves high structural test coverage, while test length is not a generation objective. The presented approach is different, as it searches for a single test instruction while targeting a set of faults at once. Iteratively, a test program is constructed, which tries to maximize fault effect propagation to the result register. Its generation objectives are structural fault coverage and test length.

Parallel Simulation Algorithms for Fast and Efficient Application in Test and Diagnosis

Dipl.-Inf. Eric Schneider, Institut für Technische Informatik, 05.08.2015

This talk summarizes the current results of ongoing research in the field of parallel simulation of circuits and presents a generic model for efficient multi-parallel simulation. By using extensible data-structures and an efficient mapping of algorithms to data-parallel architectures, high simulation throughput and accuracy can be achieved even for designs with millions of gates. New directions for possible applications in future research shall be revealed and discussed.

Neural-network based defect classifier

Dipl.-Inf. Laura Rodríguez Gómez, Institut für Technische Informatik, 06.08.2015

The correct identification of defect mechanisms in manufactured digital circuits improves yield learning and helps correct the manufacturing process in case of

systematic defects.. Unfortunately, diagnosis approaches generally give little insight into the actual mechanisms causing the observed failure. Very often the defect mechanisms are not static, but are rather activated depending on the activity the applied patterns induce in the circuit. Monitoring every signal in the circuit is unfeasible, so the presented approach classifies the defect mechanism from relevant characteristics of the activity in the circuit which can be extracted from logic simulation of the failing patterns.

Fault Diagnosis Using Code Signatures

Dipl.-Inf. Michael Kochte, Institut für Technische Informatik, 06.08.2015

Failure diagnosis of field returns typically requires high quality test stimuli and assumes that tests can be repeated. For intermittent faults with fault activation conditions depending on the physical environment, the repetition of tests cannot ensure that the behavior in the field is also observed during diagnosis, causing field returns diagnosed as no-trouble-found. In safety critical applications, self-checking circuits with concurrent error detection are used. To diagnose intermittent and transient faulty behavior in such circuits, we propose to store the signatures of the self-checking code for later analysis in diagnosis. For the first time, a diagnosis algorithm is presented that is capable of performing the classification of intermittent or transient faults using only the very limited amount of functional stimuli and signatures observed during operation and stored on chip.

Diagnosis in NoCs for Graceful Degradation

M.Sc. Atefe Dalirsani, Institut für Technische Informatik, 06.08.2015

The Network-on-Chip is a large scale structure with inherent redundancy. A reconfigurable NoC can discard the defective components and stay functional at a degraded performance level. This is an example of graceful degradation, which is generally known as the property of tolerating the component's failure in a system at the cost of limited functionality or performance. Designs of today's nanometer technologies are more sensitive to the process variations and thus more vulnerable to permanent and intermittent faults. In order to reduce the huge yield loss, diagnosis is employed to refine the fabrication process. However, the diagnosis information can be utilized to reconfigure the defective chips in a rather fine-grained way leading to more effective binning for example. In this talk, the structural diagnosis information is mapped to the NoC components in such a way that fine-grained reconfiguration of defective NoCs becomes possible.

Test Point Placement for Small Delay Faults

M.Sc. Chang Liu, Institut für Technische Informatik, 06.08.2015

Aggressive technology scaling comes along with increasing parameter variations and a growing occurrence possibility of manufacturing-related defects. The scaled supply power of the shrinking devices reduces the noise immunity and makes the circuit highly susceptible to small delay deviations. As a result, recently small delay

testing becomes a hot spot of research. Small delay fault (SDF) is often related to imperfect manufacturing processes, such as resistive opens in circuitry interconnects, or marginal shifts of some transistor threshold voltages. Such SDFs can also be induced by on-chip noises e.g. power supply noise or crosstalk. Although the extra delay caused by SDF is small, it may lead to timing failures during operation or grows into an early life failure (ELF) in the field. The burn-in approach for “infant mortality” is too costly for normal priced ICs. The traditional at-speed delay testing schemes either fail to provide high test coverage of SDFs or require a large number of test patterns and long test performing time. In this work, we try to insert test points at meticulously selected positions in the circuit in order to increase the SDF coverage as well as to reduce the test cost.

Teaching Angluin to Learn the Inner Workings of Integrated Circuits

M.Sc. Tanya Braun, Institute for Software Systems, Hamburg University of Technology, 16.09.2015

The mission of this thesis is to create a program that can learn the functionality of simple digital ICs. Each IC represents a space of states that we explore forged by the inner workings of the IC. We form ideas about the states in space and refine them until we have an equivalent representation. We use learning algorithms by Dana Angluin and by Ronald Rivest and Robert Schapire to reconstruct the inner workings of ICs. They build automaton representations of the environment they learn. They use the constructs of a teacher as the one providing information about the IC and a learner as the counterpart to build the automaton. The characteristics that influence our mission are the pins, directions in which a pin favors to talk, designated functions a pin fulfills, and the state hidden in space. We do not need any information about an IC except the number of pins and the power supply and ground pin. We use the IC as a teacher and build an interface to stimulate the pins and tell us the result. Pin directions and functions allow to reduce the state space, alphabet size, and set of learners. Additionally, we define how the teacher handles checking a hypothesis about the state space. We set up different strategies to seek out state hidden in space and mine additional information from the hypotheses. We combine the learners, teachers, and algorithms into one setup, a program called ALICE to learn ICs. Using Angluin’s algorithm for reconstructing ICs and incorporating available knowledge is new. Researchers have looked into equivalence queries but no strategies exist geared towards completely learning the functionality of an IC. As the IC is a new learning environment for Angluin’s algorithm, we evaluate the approach with respect to correctness, completeness, and feasibility. We examine the different aspects of the learning, including the use of pin directions and functions and the strategies for finding hidden state. The evaluation includes a vhdl test suite and field tests with actual hardware. We can accelerate learning by providing additional knowledge about pin directions and functions up to nearly 100% for selected ICs.

3.6. Dissertationen

| Bearbeiter | Thema |
|------------------|--|
| Claus Braun | Algorithm-Based Fault Tolerance for Matrix Operations on Graphics Processing Units: Analysis and Extension to Autonomous Operation |
| Atefe Dalirsani | Self-Diagnosis in Network-on-Chips |
| Michael E. Imhof | Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults |

3.6.1. Claus Braun: Algorithm-Based Fault Tolerance for Matrix Operations on Graphics Processing Units: Analysis and Extension to Autonomous Operation

Dipl. Inform. Claus Braun: Algorithm-Based Fault Tolerance for Matrix Operations on Graphics Processing Units: Analysis and Extension to Autonomous Operation

Hauptberichter: Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Mitberichter: Prof. Matteo Sonza Reorda, PhD., Politecnico di Torino

Prüfung: 13.07.2015

Publikationsdatum: 05.08.2015

Abstract:

Scientific computing and computer-based simulation technology evolved to indispensable tools that enable solutions for major challenges in science and engineering. Applications in these domains are often dominated by compute-intensive mathematical tasks like linear algebra matrix operations. The provision of correct and trustworthy computational results is an essential prerequisite since these applications can have direct impact on scientific, economic or political processes and decisions.

Graphics processing units (GPUs) are highly parallel many-core processor architectures that deliver tremendous floating-point compute performance at very low cost. This makes them particularly interesting for the substantial acceleration of complex applications in science and engineering. However, like most nano-scaled CMOS devices, GPUs are facing a growing number of threats that jeopardize their reliability. This makes the integration of fault tolerance measures mandatory.

Algorithm-Based Fault Tolerance (ABFT) allows the protection of essential mathematical operations, which are intensively used in scientific computing. It provides a high error coverage combined with a low computational overhead. However, the integration of ABFT into linear algebra matrix operations on GPUs is a non-trivial task, which requires a thorough balance between fault tolerance, architectural constraints and performance. Moreover, ABFT for operations carried out in floating-point arithmetic has to cope with a reduced error detection and localization efficacy due to inevitable rounding errors.

This work provides an in-depth analysis of Algorithm-Based Fault Tolerance for matrix operations on graphics processing units with respect to different types and combinations of weighted checksum codes, partitioned encoding schemes and architecture-related execution parameters. Moreover, a novel approach called A-ABFT is introduced for the efficient online determination of rounding error bounds, which improves the error detection and localization capabilities of ABFT significantly.

Extensive experimental evaluations of the error detection capabilities, the quality of the determined rounding error bounds, as well as the achievable performance confirm that the proposed A-ABFT method performs better than previous approaches. In addition, two case studies (QR decomposition and Linear Programming) emphasize the efficacy of A-ABFT and its applicability to practical problems.

3.6.2. Atefe Dalirsani: Self-Diagnosis in Network-on-Chips

M. Sc. Atefe Dalirsani: Self-Diagnosis in Network-on-Chips

Hauptberichter: Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Mitberichter: Prof. Dr.-Ing. Martin Radetzki

Prüfung: 22.07.2015

Publikationsdatum: 11.09.2015

Abstract:

Network-on-Chips (NoCs) constitute a message-passing infrastructure and can fulfil communication requirements of the today's System-on-Chips (SoCs), which integrate numerous semiconductor Intellectual Property (IP) blocks into a single die. As the NoC is responsible for data transport among IPs, its reliability is very important regarding the reliability of the entire system. In deep nanoscale technologies, transient and permanent failures of transistors and wires are caused by variety of effects. Such failures may occur in the NoC as well, disrupting its normal operation.

An NoC comprises a large number of switches that form a structure spanning across the chip. Inherent redundancy of the NoC provides multiple paths for communication among IPs. Graceful degradation is the property of tolerating a component's failure in a system at the cost of limited functionality or performance. In NoCs, when a switch in the path is faulty, alternative paths can be used to connect IPs, keeping the SoC functional. To this purpose, a fault detection mechanism is needed to identify the faulty switch and a fault tolerant routing should bypass it. As each NoC switch consists of a number of ports and multiple routing paths, graceful degradation can be considered even in a rather granular way. The fault may destroy some routing paths inside the switch, leaving the rest non-faulty. Thus, instead of disabling the faulty switch completely, its fault-free parts can be used for message passing. In this way, the chance of disconnecting the IP cores is reduced and the probability of having disjoint networks decreases.

This study pursues efficient self-test and diagnosis approaches for both manufacturing and in-field testing aiming at graceful degradation of defective NoCs. The approaches here identify the location of defective components in the network

rather than providing only a go/no-go test response. Conventionally, structural test approaches like scan-design have been employed for testing the NoC products. Structural testing targets faults of a predefined structural fault model like stuck-at faults. In contrast, functional testing targets certain functionalities of a system for example the instructions of a microprocessor. In NoCs, functional tests target NoC characteristics such as routing functions and undistorted data transport. Functional tests get the highest gain of the regular NoC structure. They reduce the test costs and prevent overtesting. However, unlike structural tests, functional tests do not explicitly target structural faults and the quality of the test approach cannot be measured. We bridge this gap by proposing a self-test approach that combines the advantages of structural and functional test methodologies and hence is suitable for both manufacturing and in-field testing. Here, the software running on the IP cores attached to the NoC is responsible for test. Similar to functional tests, the test patterns here deal only with the functional inputs and outputs of switches. For pattern generation, a model is introduced that brings the information about structural faults to the level of functional outputs of the switch. Thanks to this unique feature of the model, a high structural fault coverage is achieved as revealed by the results.

To make NoCs more robust against various defect mechanisms during the lifetime, concurrent error detection is necessary. Toward this, this dissertation contributes an area efficient synthesis technique of NoC switches to detect any error resulting from single combinational and transition fault in the switch and its links during the normal operation. This technique incorporates data encoding and the standard concurrent error detection using multiple parity trees. Results reveal that the proposed approach imposes less area overhead as compared to traditional techniques for concurrent error detection.

To enable fine-grained graceful degradation, intact functions of defective switches must be identified. Thanks to the fault tolerant techniques, fault-free parts of switches can be still employed in the NoC. However, reasoning about the fault-free functions with respect to the exact cause of a malfunction is missing in the literature. This dissertation contributes a novel fine-grained switch diagnosis technique that works based on the structural logic diagnosis. After determining the location and the nature of the defect in the faulty switch, all routing paths are checked and the soundness of the intact switch functions is proved. Experimental results show improvements in both performance and reliability of degraded NoCs by incorporating the fine-grained diagnosis of NoC switches.

3.6.3. Michael E. Imhof: Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults

Dipl. Inf. Michael E. Imhof: Fault Tolerance Infrastructure and its Reuse for Offline Testing: Synergies of a Unified Architecture to Cope with Soft Errors and Hard Faults

Hauptberichter: Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Mitberichter: Prof. Dr. rer. nat. habil. Sybille Hellebrand, Universität Paderborn
Prüfung: 15.09.2015
Publikationsdatum: 04.11.2015

Abstract:

The evolution of digital circuits from a few application areas to omnipresence in everyday life has been enabled by the ability to dramatically increase integration density through scaling. However, the continuation of scaling gets more difficult with every generation and poses severe challenges on reliability.

Throughout the manufacturing process the appearance of defects cannot be avoided and further deteriorates with scaling. Hence, the reliability at timepoint zero denoted by the manufacturing yield is not ideal and some defective chips will produce wrong output signals. For this reason, the presence of such hard faults needs to be shown prior to delivery during test where automatic test equipment (ATE) is used to apply a test set that covers a predefined set of modeled defects. As some potential defect locations are hard to test using the chips operational interface, additional dedicated test infrastructure is included on chip that provides test access.

Throughout the operational lifetime reliability is threatened by soft errors that originate from interactions of radiation with semiconductor devices and potentially manifest in sequential state corruptions. With further raising soft error rates aggravated by scaling high reliability is maintained by the inclusion of fault tolerance infrastructure able to detect, localize and ideally correct soft errors. Thus, the orthogonal combination of two independent infrastructures elevates the area overhead although test support and fault tolerance are never required concurrently.

This work proposes a unified architecture that employs a common infrastructure to provide fault tolerance during operation and test access during test. Similarities between both fields are successfully exploited and traced back to the combination of an efficient sequential state checksum with an effective state update by bit-flipping.

Experiments on public and industrial circuits evaluate the unified architecture in both fields and show an improved area efficiency as well as successful correction during fault tolerance. During test, the results substantiate advantages with respect to test time, test volume, peak and average test power as well as test energy.

3.7. Master-Arbeit

3.7.1. Maren Tilk: SAT-basierte Überprüfung der Fehlersicherheit von Schaltungen

Betreuer: Michael Kochte, Atefe Dalirsani

Abgabedatum: 23.03.2015

Kurzfassung:

In einer Schaltung können Fehler auftreten, die herstellungsbedingt sind oder erst während der Laufzeit entstehen. Um ein Fehlverhalten von Schaltungen auszuschließen, müssen fehlerhafte Ausgaben zur Laufzeit erkannt werden. Diese Eigenschaft einer Schaltung wird als Fehlersicherheit bezeichnet. In dieser Arbeit wird eine Methode untersucht, die die Fehlersicherheit einer Schaltung überprüfen soll, indem die Problemstellung auf das Boolesche Erfüllbarkeitsproblem (SAT) übertragen wird.

3.8. Bachelor-Arbeiten

| Bearbeiter | Thema |
|----------------------|---|
| Stefan Simeonov | Portierung und Optimierung einer GPU Simulationsumgebung zur Untersuchung des apoptotischen Rezeptor-Clustering auf open CL |
| Sebastian Brandhofer | Adaptierung von Zeitverhalten-Variationen in rekonfigurierbaren Hardwarestrukturen |
| Jochen Bäßler | Software basierter Selbsttest von Peripherie-Komponenten |
| Felix Ebinger | Software-basierter Selbsttest eingebetteter Speicher |

3.8.1. Stefan Simeonov: Portierung und Optimierung einer GPU Simulationsumgebung zur Untersuchung des apoptotischen Rezeptor-Clustering auf open CL

Betreuer: Alexander Schöll

Abgabedatum: 14.01.2015

Kurzfassung:

Portierung und Optimierung einer GPU Simulationsumgebung zur Untersuchung der apoptotischen Rezeptor-Clustering auf OpenCL

Tailoring and Optimization of a GPU Simulation Environment on Apoptotic Receptor-Clustering to OpenCL

In the context of this thesis, a GPU simulation environment is tailored to the OpenCL programming model and optimized on different hardware architectures. The simulation serves the research of apoptotic receptor-clustering, a mechanism for initiating apoptosis. Apoptosis is an essential process in the development of multicellular organisms. As a type of programmed cell death, it enables a controlled removal of unneeded cells. The process also plays an important role in diseases such as cancer or AIDS. The existing implementation of the simulation environment utilizes the proprietary CUDA programming model. By employing OpenCL instead, the range of supported hardware is extended by additional parallel architectures. The implementation is modified and new functionality is developed to overcome limitations of the OpenCL programming model. The results of the new

implementation are validated using the existing CUDA implementation. The latter also serves as a reference point for a performance analysis of the developed implementation. A performance very similar to that of the CUDA version is observed on different GPUs. An Intel Xeon Phi coprocessor, on the other hand, shows comparatively poor performance results.

3.8.2. Sebastian Brandhofer: Adaptierung an Zeitverhalten-Variationen in rekonfigurierbaren Hardwarestrukturen

Betreuer: Michael Kochte, Eric Schneider

Abgabedatum: 21.04.2015

Kurzfassung:

Das Zeitverhalten von Komponenten in rekonfigurierbaren Hardwarestrukturen kann durch Alterungseffekte und zufällige Defekte variieren. Wenn ein System nicht an diese Abweichungen vom nominellen Zeitverhalten adaptiert werden kann, entstehen Verzögerungsfehler während des Betriebs, die zu falschen Ergebnissen oder Systemausfällen führen können. Insbesondere in sicherheitskritischen Anwendungen von rekonfigurierbaren Hardwarestrukturen kann dies zu Gefährdung von Personen führen. Diese Arbeit stellt einen Algorithmus zur Adaptierung an Zeitverhalten-Variationen in rekonfigurierbaren Hardwarestrukturen vor, der Alterung von Komponenten sowie zufällige Defekte berücksichtigt und Verzögerungsfehler durch eine dem Zeitverhalten angepasste Nutzung der rekonfigurierbaren Hardwarestrukturen vermeidet. Der entworfene Algorithmus wird mit Hilfe von verschiedenen Verzögerungsverteilungen hinsichtlich der Adaptionsfähigkeit, Speicheranforderungen und Laufzeit untersucht.

3.8.3. Felix Ebinger: Software-basierter Selbsttest eingebetteter Speicher

Betreuer: Dominik Ull

Abgabedatum: 21.04.2015

Kurzfassung:

Prozessoren werden häufig mittels softwarebasierter Selbsttests (SBST) getestet, da dieses Testverfahren mehrere Vorteile besitzt. Zunächst ist der Test zerstörungsfrei, und wird im funktionalen Betriebszustand des Prozessors durchgeführt. Es ist weder eine Veränderung des Hardwaredesigns erforderlich noch ist ein Über-testen möglich. Die Testmethode ist flexibel einsetzbar und kann sowohl beim Herstellungstest als auch im Feld genutzt werden. Speicher werden dagegen üblicherweise mittels eingebauter Selbsttests (engl. built-in self-test, BIST) getestet, da der Overhead durch die zusätzliche Testhardware nur gering ausfällt und diese Tests bei Speichern ohne Performance-Einbußen realisiert werden können. In dieser Arbeit wird die softwarebasierte Umsetzung von Speichertests untersucht um

die Vorteile softwarebasierter Selbsttests auch bei Speichertests nutzen zu können. Dies stellt eine Herausforderung dar, da softwarebasiert nicht jede Operationsfolge mit frei wählbarem Zeitverhalten erzeugt werden kann. Insbesondere bei dynamischen Fehlern kann dies zu einer Verringerung der Testabdeckung führen. Hierzu wird ein Framework zur automatischen Umwandlung von Marchtestbeschreibungen in Testprogramme für den miniMIPS-Prozessor vorgestellt. Dabei steht besonders die Laufzeit des Testprogramms und die erreichte Testabdeckung im Vordergrund. Die Testabdeckung wird durch Simulation und Fehlerinjektion experimentell bestimmt. Es zeigt sich, dass die Fehlerabdeckung für die untersuchten statische und dynamische Fehlermodelle durch die vorgestellte Implementierung in Software nicht beeinträchtigt wird.

3.8.4. Jochen Bäßler: Software basierter Selbsttest von Peripherie-Komponenten

Betreuer: Dominik Ull

Abgabedatum: 06.05.2015

Kurzfassung:

Software-basierte Selbsttest (SBST) Verfahren werden zumeist für das Testen von Mikroprozessoren eingesetzt, lassen sich jedoch auch auf Peripheriekomponenten anwenden. Der Vorteil von SBST, gegenüber Hardware-basierten Ansätzen besteht dabei im Verzicht auf spezielle Testhardware und Hochgeschwindigkeitstestgeräte und der Tatsache, dass Tests in der natürlichen Betriebsumgebung (engl. In-System) und bei normaler Betriebsfrequenz (engl. At-Speed) ablaufen. Peripheriekomponenten nehmen in vielen Systemen einen erheblichen Teil der Chipfläche ein, werden teilweise für sicherheitskritische Aufgaben eingesetzt und müssen folglich ausgiebig getestet werden. Um strukturelle SBST-Verfahren erfolgreich auf diesen Typ von Komponenten anzuwenden, müssen Maßnahmen getroffen werden um deren geringe Beobacht- und Kontrollierbarkeit zu erhöhen, da andernfalls die erzielte Fehlerabdeckung der Verfahren zu niedrig ausfällt. In dieser Arbeit werden zwei unterschiedliche Ansätze untersucht, um die strukturelle Fehlerabdeckung von SBST-Verfahren auf Kommunikationsperipheriekomponenten zu verbessern. Der erste Ansatz zielt auf eine verbesserte Kontrollierbarkeit der verwendeten Komponente ab. Dazu wird ein Loopback-basierter Mechanismus implementiert. Um darüber hinaus eine bessere Beobachtbarkeit zu erreichen wird als zweiter Ansatz der Zustand ausgewählter internen Signale dem System sichtbar gemacht. Eine beispielhafte Anwendung der vorgestellten Methode auf die I2C-Komponente eines RISC-Prozessors zeigt die Wirksamkeit der verwendeten Maßnahmen zur Verbesserung der strukturellen Fehlerabdeckung.

3.9. Projekt-INF

| Bearbeiter | Thema |
|--|--|
| Sebastian Brandhofer Philipp Göttlich Adrian Lankweirt | Untersuchung von hardwarebeschleunigten Anwendungen in rekonfigurierbaren Network-on-a-Chip-basierten Systemen |
| Pascal Hagemann David Harges Moritz Knabben | Switching activity based estimation of IR-drop |

3.9.1. Sebastian Brandhofer, Philipp Göttlich, Adrian Lankweirt: Untersuchung von hardwarebeschleunigten Anwendungen in rekonfigurierbaren Network-on-a-Chip-basierten Systemen

Betreuer: Eric Schneider

Abgabedatum: 01.12.2014

Kurzfassung:

During this Projekt-Inf a SystemC model of a network-on-a-chip connecting a variable number of reconfigurable blocks, a CPU and a RAM was created and simulated via SystemC, a C++ library and simulator. The CPU performs a computation by executing a software application and substituting certain software functions by configuring the reconfigurable blocks. The reconfiguration process is controlled by a runtime system which is also a result of the project. This system model was then simulated with varying settings to observe its behaviour and thus analyse the acceleration provided by using reconfigurable blocks in such a network-on-a-chip based system.

3.9.2. Pascal Hagemann, David Harges, Moritz Knabben: Switching activity based estimation of IR-drop

Betreuer: Eric Schneider

Abgabedatum: 07.08.2015

Kurzfassung:

This paper describes the extension and investigation of a simulation environment to estimate IR-drop. A method based on the number of toggles per cell is used to estimate the IR-drop for each powerline. The benchmark circuit b17 is used for validation. The results are compared to a SPICE simulation. On average the simulated current per powerline is 97% of the SPICE result, all currents are in the range from 66% to 133% and 38% of the powerlines deviate less than 10% from the SPICE result.

4. Publikationen

4.1. Zeitschriften und Konferenzberichte

4.1.1. FAST-BIST: Faster-than-At-Speed BIST Targeting Hidden Delay Defects

Hellebrand, S., Indlekofer, T., Kampmann, M., Kochte, M.A., Liu, C. and Wunderlich, H.-J.

Proc. of the IEEE International Test Conference (ITC'14), Seattle, Washington, USA, 20-23 October 2014, pp. 1-8

doi: <http://dx.doi.org/10.1109/TEST.2014.7035360>

Small delay faults may be an indicator of a reliability threat, even if they do not affect the system functionality yet. In recent years, Faster-than-at-Speed-Test (FAST) has become a feasible method to detect faults, which are hidden by the timing slack or by long critical paths in the combinational logic. FAST poses severe challenges to the automatic test equipment with respect to timing, performance, and resolution. In this paper, it is shown how logic built-in self-test (BIST) or embedded deterministic test can be used for an efficient FAST application. Running BIST just at a higher frequency is not an option, as outputs of long paths will receive undefined values due to set time violations and destroy the content of the signature registers. Instead, for a given test pattern sequence, faults are classified according to the optimal detection frequency. For each class, a MISR-based compaction scheme is adapted, such that the critical bits to be observed can be determined by algebraic computations. Experiments show that rather a small number of intermediate signatures have to be evaluated to observe a large fraction of hidden delay faults testable by the given test sequence.

4.1.2. Test Pattern Generation in Presence of Unknown Values Based on Restricted Symbolic Logic

Erb, D., Scheibler, K., Kochte, M.A., Sauer, M., Wunderlich, H.-J. and Becker, B.

Proc. of the IEEE International Test Conference (ITC'14), Seattle, Washington, USA, 20-23 October 2014, pp. 1-10

doi: <http://dx.doi.org/10.1109/TEST.2014.7035350>

Test generation algorithms based on standard n-valued logic algebras are pessimistic in presence of unknown (X) values, overestimate the number of signals with X-values and underestimate fault coverage. Recently, an ATPG algorithm

based on quantified Boolean formula (QBF) has been presented, which is accurate in presence of X-values but has limits with respect to runtime, scalability and robustness. In this paper, we consider ATPG based on restricted symbolic logic (RSL) and demonstrate its potential. We introduce a complete RSL ATPG exploiting the full potential of RSL in ATPG. Experimental results demonstrate that RSL ATPG significantly increases fault coverage over classical algorithms and provides results very close to the accurate QBF-based algorithm. An optimized version of RSL ATPG (together with accurate fault simulation) is up to 618x faster than the QBF-based solution, more scalable and more robust.

4.1.3. Adaptive Parallel Simulation of a Two-Timescale-Model for Apoptotic Receptor-Clustering on GPUs

Schöll, A., Braun, C., Daub, M., Schneider, G. and Wunderlich, H.-J.

Proc. of the IEEE International Conference on Bioinformatics and Biomedicine (BIBM'14), Belfast, United Kingdom, 2-5 November 2014, pp. 424-431

doi: <http://dx.doi.org/10.1109/BIBM.2014.6999195>

Computational biology contributes important solutions for major biological challenges. Unfortunately, most applications in computational biology are highly compute-intensive and associated with extensive computing times. Biological problems of interest are often not treatable with traditional simulation models on conventional multi-core CPU systems. This interdisciplinary work introduces a new multi-timescale simulation model for apoptotic receptor-clustering and a new parallel evaluation algorithm that exploits the computational performance of heterogeneous CPU-GPU computing systems. For this purpose, the different dynamics involved in receptor-clustering are separated and simulated on two timescales. Additionally, the time step sizes are adaptively refined on each timescale independently. This new approach improves the simulation performance significantly and reduces computing times from months to hours for observation times of several seconds.

4.1.4. Data-Parallel Simulation for Fast and Accurate Timing Validation of CMOS Circuits

Schneider, E., Holst, S., Wen, X. and Wunderlich, H.-J.

Proc. of the 33rd IEEE/ACM International Conference on Computer-Aided Design (ICCAD'14), San Jose, California, USA, 3-6 November 2014, pp. 17-23

url: <http://dl.acm.org/citation.cfm?id=2691369>

Gate-level timing simulation of combinational CMOS circuits is the foundation of a whole array of important EDA tools such as timing analysis and power-estimation, but the demand for higher simulation accuracy drastically increases the runtime complexity of the algorithms. Data-parallel accelerators such as Graphics Processing Units (GPUs) provide vast amounts of computing performance to tackle this problem, but require careful attention to control-flow and memory access patterns.

This paper proposes the novel High-Throughput Oriented Parallel Switch-level Simulator (HiTOPS), which is especially designed to take full advantage of GPUs and provides accurate time- simulation for multi-million gate designs at an unprecedented throughput. HiTOPS models timing at transistor granularity and supports all major timing-related effects found in CMOS including pattern-dependent delay, glitch filtering and transition ramps, while achieving speedups of up to two orders of magnitude compared to traditional gate-level simulators.

4.1.5. High Quality System Level Test and Diagnosis

Jutman, A., Sonza Reorda, M. and Wunderlich, H.-J.

Proc. of the 23rd IEEE Asian Test Symposium (ATS'14), Hangzhou, China, 16-19 November 2014, pp. 298-305

doi: <http://dx.doi.org/10.1109/ATS.2014.62>

This survey introduces into the common practices, current challenges and advanced techniques of high quality system level test and diagnosis. Specialized techniques and industrial standards of testing complex boards are introduced. The reuse for system test of design for test structures and test data developed at chip level is discussed, including the limitations and research challenges. Structural test methods have to be complemented by functional test methods. State-of-the-art and leading edge research for functional testing will be covered.

4.1.6. On Covering Structural Defects in NoCs by Functional Tests

Dalirsani, A., Hatami, N., Imhof, M.E., Eggenberger, M., Schley, G., Radetzki, M. and Wunderlich, H.-J.

Proc. of the 23rd IEEE Asian Test Symposium (ATS'14), Hangzhou, China, 16-19 November 2014, pp. 87-92

doi: <http://dx.doi.org/10.1109/ATS.2014.27>

Structural tests provide high defect coverage by considering the low-level circuit details. Functional test provides a faster test with reduced test patterns and does not imply additional hardware overhead. However, it lacks a quantitative measure of structural fault coverage. This paper fills this gap by presenting a satisfiability based method to generate functional test patterns while considering structural faults. The method targets NoC switches and links, and it is independent of the switch structure and the network topology. It can be applied for any structural fault type as it relies on a generalized structural fault model.

4.1.7. Access Port Protection for Reconfigurable Scan Networks

Baranowski, R., Kochte, M.A. and Wunderlich, H.-J.

Journal of Electronic Testing: Theory and Applications (JETTA) Vol. 30(6), 5 De-

ember 2014, pp. 711-723
doi: <http://dx.doi.org/10.1007/s10836-014-5484-2>

Scan infrastructures based on IEEE Std. 1149.1 (JTAG), 1500 (SECT), and P1687 (IJTAG) provide a cost-effective access mechanism for test, reconfiguration, and debugging purposes. The improved accessibility of on-chip instruments, however, poses a serious threat to system safety and security. While state-of-the-art protection methods for scan architectures compliant with JTAG and SECT are very effective, most of these techniques face scalability issues in reconfigurable scan networks allowed by the upcoming IJTAG standard. This paper describes a scalable solution for multilevel access management in reconfigurable scan networks. The access to protected instruments is restricted locally at the interface to the network. The access restriction is realized by a sequence filter that allows only a precomputed set of scan-in access sequences. This approach does not require any modification of the scan architecture and causes no access time penalty. Therefore, it is well suited for core-based designs with hard macros and 3D integrated circuits. Experimental results for complex reconfigurable scan networks show that the area overhead depends primarily on the number of allowed accesses, and is marginal even if this number exceeds the count of registers in the network.

4.1.8. Reconfigurable Scan Networks: Modeling, Verification, and Optimal Pattern Generation

Baranowski, R., Kochte, M.A. and Wunderlich, H.-J.

ACM Transactions on Design Automation of Electronic Systems (TODAES) Vol. 20(2), February 2015, pp. 30:1-30:27
doi: <http://dx.doi.org/10.1145/2699863>

access to on-chip instrumentation is a key requirement for post-silicon validation, test, debug, bringup, and diagnosis. Reconfigurable scan networks, as proposed by e.g. IEEE P1687 and IEEE Std 1149.1-2013, emerge as an effective and affordable means to cope with the increasing complexity of on-chip infrastructure. Reconfigurable scan networks are often hierarchical and may have complex structural and functional dependencies. Common approaches for scan verification based on static structural analysis and functional simulation are not sufficient to ensure correct operation of these types of architectures. To access an instrument in a reconfigurable scan network, a scan-in bit sequence must be generated according to the current state and structure of the network. Due to sequential and combinational dependencies, the access pattern generation process (pattern retargeting) poses a complex decision and optimization problem. This article presents the first generalized formal model that considers structural and functional dependencies of reconfigurable scan networks and is directly applicable to P1687-based and 1149.1-2013-based scan architectures. This model enables efficient formal verification of complex scan networks, as well as automatic generation of access patterns. The proposed pattern generation method supports concurrent access to multiple target scan registers (access merging) and generates short scan-in sequences.

4.1.9. GPU-Accelerated Small Delay Fault Simulation

Schneider, E., Holst, S., Kochte, M.A., Wen, X. and Wunderlich, H.-J.

Proceedings of the ACM/IEEE Conference on Design, Automation Test in Europe (DATE'15), Grenoble, France, 9-13 March 2015, pp. 1174-1179

url: <http://dl.acm.org/citation.cfm?id=2757084>

The simulation of delay faults is an essential task in design validation and reliability assessment of circuits. Due to the high sensitivity of current nano-scale designs against smallest delay deviations, small delay faults recently became the focus of test research. Because of the subtle delay impact, traditional fault simulation approaches based on abstract timing models are not sufficient for representing small delay faults. Hence, timing accurate simulation approaches have to be utilized, which quickly become inapplicable for larger designs due to high computational requirements. In this work we present a waveform-accurate approach for fast high-throughput small delay fault simulation on Graphics Processing Units (GPUs). By exploiting parallelism from gates, faults and patterns, the proposed approach enables accurate exhaustive small delay fault simulation even for multi-million gate designs without fault dropping for the first time.

4.1.10. On-Line Prediction of NBTI-induced Aging Rates

Baranowski, R., Firouzi, F., Kiamehr, S., Liu, C., Tahoori, M. and Wunderlich, H.-J.

Proceedings of the ACM/IEEE Conference on Design, Automation Test in Europe (DATE'15), Grenoble, France, 9-13 March 2015, pp. 589-592

url: <http://dl.acm.org/citation.cfm?id=2755886>

Nanoscale technologies are increasingly susceptible to aging processes such as Negative-Bias Temperature Instability (NBTI) which undermine the reliability of VLSI systems. Existing monitoring techniques can detect the violation of safety margins and hence make the prediction of an imminent failure possible. However, since such techniques can only detect measurable degradation effects which appear after a relatively long period of system operation, they are not well suited to early aging prediction and proactive aging alleviation. This work presents a novel method for the monitoring of NBTI-induced degradation rate in digital circuits. It enables the timely adoption of proper mitigation techniques that reduce the impact of aging. The developed method employs machine learning techniques to find a small set of so called Representative Critical Gates (RCG), the workload of which is correlated with the degradation of the entire circuit. The workload of RCGs is observed in hardware using so called workload monitors. The output of the workload monitors is evaluated on-line to predict system degradation experienced within a configurable (short) period of time, e.g. a fraction of a second. Experimental results show that the developed monitors predict the degradation rate with an average error of only 1.6% at 4.2% area overhead.

4.1.11. High-Throughput Logic Timing Simulation on GPGPUs

Holst, S., Imhof, M.E. and Wunderlich, H.-J.

ACM Transactions on Design Automation of Electronic Systems (TODAES) Vol. 20(3), June 2015, pp. 1-22

doi: <http://dx.doi.org/10.1145/2714564>

Many EDA tasks like test set characterization or the precise estimation of power consumption, power droop and temperature development, require a very large number of time-aware gate-level logic simulations. Until now, such characterizations have been feasible only for rather small designs or with reduced precision due to the high computational demands. The new simulation system presented here is able to accelerate such tasks by more than two orders of magnitude and provides for the first time fast and comprehensive timing simulations for industrial-sized designs. Hazards, pulse-filtering, and pin-to-pin delay are supported for the first time in a GPGPU accelerated simulator, and the system can easily be extended to even more realistic delay models and further applications. A sophisticated mapping with efficient memory utilization and access patterns as well as minimal synchronizations and control flow divergence is able to use the full potential of GPGPU architectures. To provide such a mapping, we combine for the first time the versatility of event-based timing simulation and multidimensional parallelism used in GPU-based gate-level simulators. The result is a throughput-optimized timing simulation algorithm, which runs many simulation instances in parallel and at the same time fully exploits gate-parallelism within the circuit.

4.1.12. Fine-Grained Access Management in Reconfigurable Scan Networks

Baranowski, R., Kochte, M.A. and Wunderlich, H.-J.

IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD) Vol. 34(6), June 2015, pp. 937-946

doi: <http://dx.doi.org/10.1109/TCAD.2015.2391266>

Modern VLSI designs incorporate a high amount of instrumentation that supports post-silicon validation and debug, volume test and diagnosis, as well as in-field system monitoring and maintenance. Reconfigurable scan architectures, as allowed by the novel IEEE Std 1149.1-2013 (JTAG) and IEEE Std 1687-2014 (IJTAG), emerge as a scalable mechanism for access to such on-chip instruments. While the on-chip instrumentation is crucial for meeting quality, dependability, and time-to-market goals, it is prone to abuse and threatens system safety and security. A secure access management method is mandatory to assure that critical instruments be accessible to authorized entities only. This work presents a novel protection method for fine-grained access management in complex reconfigurable scan networks based on a challenge-response authentication protocol. The target scan network is extended with an authorization instrument and Secure Segment Insertion Bits (S²IB) that together control the accessibility of individual instruments. To the best of the authors' knowledge, this is the first fine-grained access management scheme

that scales well with the number of protected instruments and offers a high level of security. Compared with recent state-of-the-art techniques, this scheme is more favorable with respect to implementation cost, performance overhead, and provided security level.

4.1.13. Accurate QBF-based Test Pattern Generation in Presence of Unknown Values

Erb, D., Kochte, M.A., Reimer, S., Sauer, M., Wunderlich, H.-J. and Becker, B.
IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems (TCAD) Vol. 34(12), 2 June 2015, pp. 2025-2038
doi: <http://dx.doi.org/10.1109/TCAD.2015.2440315>

Unknown (X) values emerge during the design process as well as during system operation and test application. X-sources for instance black boxes in design models, clockdomain boundaries, analog-to-digital converters, or uncontrolled or uninitialized sequential elements. To compute a test pattern for a given fault, well-defined logic values are required both for fault activation and propagation to observed outputs. In presence of X-values, conventional test generation algorithms, based on structural algorithms, Boolean satisfiability (SAT), or BDD-based reasoning may fail to generate test patterns or to prove faults untestable. This work proposes the first efficient stuck-at and transitiondelay fault test generation algorithm able to prove testability or untestability of faults in presence of X-values. It overcomes the principal pessimism of conventional algorithms when X-values are considered by mapping the test generation problem to the satisfiability of Quantified Boolean Formulae (QBF). Experiments on ISCAS benchmarks and larger industrial circuits investigate the increase in fault coverage for conventional deterministic and potential detection requirements for both randomized and clustered X-sources.

4.1.14. Adaptive Multi-Layer Techniques for Increased System Dependability

Bauer, L., Henkel, J., Herkersdorf, A., Kochte, M.A., Kühn, J.M., Rosenstiel, W., Schweizer, T., Wallentowitz, S., Wenzel, V., Wild, T., Wunderlich, H.-J. and Zhang, H.
it - Information Technology Vol. 57(3), 8 June 2015, pp. 149-158
doi: <http://dx.doi.org/10.1515/itit-2014-1082>

Achieving system-level dependability is a demanding task. The manifold requirements and dependability threats can no longer be statically addressed at individual abstraction layers. Instead, all components of future multi-processor systems-on-chip (MPSoCs) have to contribute to this common goal in an adaptive manner. In this paper we target a generic heterogeneous MPSoC that combines general purpose processors along with dedicated application-specific hard-wired accelerators, fine-grained reconfigurable processors, and coarse-grained reconfigurable architectures. We present different reactive and proactive measures at the layers

of the runtime system (online resource management), system architecture (global communication), micro architecture (individual tiles), and gate netlist (tile-internal circuits) to address dependability threats.

4.1.15. Efficient On-Line Fault-Tolerance for the Preconditioned Conjugate Gradient Method

Schöll, A., Braun, C., Kochte, M.A. and Wunderlich, H.-J.

Proceedings of the 21st IEEE International On-Line Testing Symposium (IOLTS'15), Elia, Halkidiki, Greece, 6-8 July 2015, pp. 95-100

doi: <http://dx.doi.org/10.1109/IOLTS.2015.7229839>

Linear system solvers are key components of many scientific applications and they can benefit significantly from modern heterogeneous computer architectures. However, such nano-scaled CMOS devices face an increasing number of reliability threats, which make the integration of fault tolerance mandatory. The preconditioned conjugate gradient method (PCG) is a very popular solver since it typically finds solutions faster than direct methods, and it is less vulnerable to transient effects. However, as latest research shows, the vulnerability is still considerable. Even single errors caused, for instance, by marginal hardware, harsh operating conditions or particle radiation can increase execution times considerably or corrupt solutions without indication. In this work, a novel and highly efficient fault-tolerant PCG method is presented. The method applies only two inner products to reliably detect errors. In case of errors, the method automatically selects between roll-back and efficient on-line correction. This significantly reduces the error detection overhead and expensive re-computations.

4.1.16. Efficient Observation Point Selection for Aging Monitoring

Liu, C., Kochte, M.A. and Wunderlich, H.-J.

Proceedings of the 21st IEEE International On-Line Testing Symposium (IOLTS'15), Elia, Halkidiki, Greece, 6-8 July 2015, pp. 176-181

doi: <http://dx.doi.org/10.1109/IOLTS.2015.7229855>

Circuit aging causes a performance degradation and eventually a functional failure. It depends on the workload and the environmental condition of the system, which are hard to predict in early design phases resulting in pessimistic worst case design. Existing delay monitoring schemes measure the remaining slack of paths in the circuit, but cause a significant hardware penalty including global wiring. More importantly, the low sensitization ratio of long paths in applications may lead to a very low measurement frequency or even an unmonitored timing violation. In this work, we propose a delay monitor placement method by analyzing the topological circuit structure and sensitization of paths. The delay monitors are inserted at meticulously selected positions in the circuit, named observation points (OPs). This OP monitor placement method can reduce the number of inserted monitors by up to 98% compared to a placement at the end of long paths. The experimental

validation shows the effectiveness of this aging indication, i.e. a monitor issues a timing alert always earlier than any imminent timing failure.

4.1.17. Multi-Layer Test and Diagnosis for Dependable NoCs

Wunderlich, H.-J. and Radetzki, M.

Proceedings of the 9th IEEE/ACM International Symposium on Networks-on-Chip (NOCS'15), Vancouver, BC, Canada, 28-30 September 2015

doi: <http://dx.doi.org/10.1145/2786572.2788708>

Networks-on-chip are inherently fault tolerant or at least gracefully degradable as both, connectivity and amount of resources, provide some useful redundancy. These properties can only be exploited extensively if test and diagnosis techniques support fault detection and error containment in an optimized way. On the one hand, all faulty components have to be isolated, and on the other hand, remaining fault-free functionalities have to be kept operational. In this contribution, behavioral end-to-end error detection is considered together with functional test methods for switches and gate level diagnosis to locate and to isolate faults in the network in an efficient way with low time overhead.

4.2. Workshop-Beiträge

4.2.1. Hochbeschleunigte Simulation von Verzögerungsfehlern unter Prozessvariationen

Schneider, E., Kochte, M.A. and Wunderlich, H.-J.

27th GI/GMM/ITG Workshop "Testmethoden und Zuverlässigkeit von Schaltungen und Systemen" (TuZ'15), Bad Urach, Germany, 1-3 March 2015

Die Simulation kleiner Verzögerungsfehler ist ein wichtiger Bestandteil der Validierung nano-elektronischer Schaltungen. Prozessvariationen während der Herstellung haben großen Einfluss auf die Erkennung dieser Fehler und müssen bei der Simulation berücksichtigt werden. Die zeitgenaue Simulation von Verzögerungsfehlern ist verglichen mit traditioneller Logiksimulation oder statischer Zeitanalyse sehr aufwändig und die Rechenkomplexität steigt durch die Berücksichtigung von Variationen zusätzlich an. In dieser Arbeit wird ein hochparalleles Verfahren vorgestellt, welches Grafikprozessoren zur beschleunigten parallelen Simulation kleiner Verzögerungsfehler unter Variation anwendet. Das Verfahren berechnet akkurate Signalverläufe in der Schaltung und ermöglicht die Bestimmung einer Monte-Carlo-basierten statistischen Fehlererfassung für industrielle Schaltkreise unter zufälliger sowie systematischer Variation.

4.2.2. Effiziente Auswahl von Testfrequenzen für den Test kleiner Verzögerungsfehler

Hellebrand, S., Indlekofer, T., Kampmann, M., Kochte, M.A., Liu, C. and Wunderlich, H.-J.

27th GI/GMM/ITG Workshop "Testmethoden und Zuverlässigkeit von Schaltungen und Systemen"(TuZ'15), Bad Urach, Germany, 1-3 March 2015

Kleine Verzögerungsfehler können auf zu erwartende Frühausfälle hinweisen. In der Regel machen sich kleine Verzögerungen nur dann bemerkbar, wenn sie über lange Pfade zu den Ausgängen propagiert werden. Spezielle Algorithmen zur Testmustererzeugung nutzen Informationen über das Zeitverhalten („Timing Aware ATPG“), um entsprechende Pfade auszuwählen.

Wenn kleine Verzögerungsfehler jedoch nur über kurze Pfade zum Ausgang getrieben werden können, wirken sie sich gar nicht auf die Schaltungsfunktion aus. Um auch solche „versteckten“ Verzögerungen sichtbar zu machen, muss mit erhöhter Frequenz getestet werden („Faster-than-At-Speed Test / FAST“). Diese Arbeit stellt eine effiziente Methode zur Auswahl der dafür benötigten Testfrequenzen vor.

