



Jahresbericht 2012 - 2013

Institut für Technische Informatik - Abteilung Rechnerarchitektur
Universität Stuttgart

Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich



Impressum

Jahresbericht 2012 – 2013
Berichtszeitraum: 01. Oktober 2012 – 30. September 2013
Redaktion: Lothar Hellmeier
Letzte Änderung: 21. Februar 2014

Institut für Technische Informatik
Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich
Universität Stuttgart - ITI
Pfaffenwaldring 47
D-70569 Stuttgart

Tel.: +49 711 685 88 362
Fax: +49 711 685 88 288

E-Mail: wu@informatik.uni-stuttgart.de

URL: <http://www.iti.uni-stuttgart.de>

Externe Links verweisen auf weitervermittelte Inhalte, die sich die Universität Stuttgart nicht zu eigen macht. Die Verantwortlichkeit liegt beim jeweiligen externen Anbieter (siehe Impressum - Anbieterkennzeichnung).

Die externen Inhalte wurden beim Setzen des Links geprüft. Es ist nicht auszuschließen, dass die Inhalte im Nachhinein von den jeweiligen Anbietern verändert werden. Sollten Sie der Ansicht sein, dass die verlinkten externen Seiten gegen geltendes Recht verstoßen oder sonst unangemessene Inhalte haben, so teilen Sie uns dies bitte mit.

Vorwort



Auch 2013 fanden sich zahlreiche Beispiele, dass Zuverlässigkeit und Sicherheit informationstechnischer Systeme immer wichtiger für Gesundheit und Leben der Menschen und für den wirtschaftlichen Erfolg in der Gesellschaft werden. Die Schwerpunkte in Forschung und Lehre des Instituts für Technische Informatik leisten einen national und international anerkannten Beitrag bei der Bewältigung der damit verbundenen Herausforderungen. In fünf von der Deutschen Forschungsgemeinschaft finanzierten Grundlagenprojekten wurden wesentliche Forschungsergebnisse erarbeitet und publiziert, die zur Verbesserung der *Zuverlässigkeit nanoelektronischer Systeme* beitragen. Neue Methoden zur *Vorhersage der Alterung integrierter Systeme* wurden gefunden und kostengünstige Entwurfs- und Syntheseverfahren für *fehlertolerante digitale Architekturen* entwickelt. *Test, Debug und Diagnose* beanspruchen mittlerweile den Löwenanteil der Kosten im Lebenszyklus komplexer nanoelektronischer Systeme, und Algorithmen und Hardwarestrukturen konnten gefunden werden, um deren Qualität zu verbessern und deren Kosten zu senken.

Aufgrund der zentralen Rolle informationstechnischer Systeme im alltäglichen Leben, in Automobiltechnik, Luft- und Raumfahrt und ganz allgemein in der Automatisierung durch sogenannte „Cyber-Physical Systems“ ist die Sicherstellung der *funktionalen Sicherheit* von fundamentaler Bedeutung und wird durch Gesetze und Standards geregelt. Die Arbeiten des ITI wollen beim Entwurf funktional sicherer Systeme und deren Verifikation einen wichtigen Beitrag leisten. Neben den grundlagenorientierten Projekten wurden in mehreren von der Industrie finanzierten Projekten die erzielten Kenntnisse auch in die industrielle Praxis überführt.

Die Schwerpunkte der Forschung haben am ITI auch unmittelbaren Einfluss auf die Lehre. Das Jahr 2013 zeichnete sich durch hohe Studentenzahlen aus, die aufgrund doppelter Jahrgänge bei den Schulabgängen zu bewältigen waren. Gleichzeitig war immer noch die Umstellung auf Bachelor- und Masterabschlüsse in zahlreichen Studiengängen zu vollenden. An dieser Stelle möchte ich den Dank an alle Mitarbeiter des ITI ausdrücken, die dies mit ihrem großen Engagement und Einsatz möglich gemacht haben.

Stuttgart, Dezember 2013

Hans-Joachim Wunderlich

Inhaltsverzeichnis

1	Institutsübersicht – Abteilung Rechnerarchitektur	8
1.1	Mitarbeiter	8
1.2	Ausrichtung der Forschung	9
1.2.1	Test	9
1.2.2	Zuverlässigkeit	10
1.2.3	Diagnose	11
2	Lehre	12
2.1	Bachelor-Studiengang	12
2.1.1	Rechnerorganisation 1	12
2.1.2	Rechnerorganisation 2 / Hardwarepraktikum	13
2.1.3	Grundlagen der Rechnerarchitektur / Advanced Processor Architecture (in English)	14
2.2	Master-of-Science- Studiengang	15
2.2.1	Hardware Verification and Quality Assessment (in English)	15
2.2.2	Formal Verification of Microprocessors (in English)	15
2.2.3	Design and Test of Systems on Chip (in English)	16
2.2.4	Elements of High Performance RISC Processors (in English)	17
2.2.5	Safety of Automotive ICs (in English)	17
2.3	Lehrveranstaltungen im Wintersemester 2012 - 2013	18
2.4	Lehrveranstaltungen im Sommersemester 2013	19
2.5	Oberseminar	19
2.6	Dissertation	31
2.6.1	Stefan Holst: Efficient location-based logic diagnosis of di- gital circuits	31
2.7	Diplomarbeiten	32
2.7.1	Alexander Schöll: Effiziente mehrwertige Logiksimulation verzögerungsbehafteter Schaltungen auf datenparallelen Architekturen	32
2.7.2	Markus Blocherer: Entwicklung einer FPGA-basierten Kon- solidierungseinheit für Fließkomma- und Ganzzahldaten im Einsatzbereich der zivilen Luftfahrt	33
2.7.3	Marcel Schaal: Test Rekonfigurierbarer Scan-Netzwerke	33
2.7.4	Stefan Zimmermann: Micro Architecture for Fault Tolerant NoCs	33
2.8	Master-Arbeiten	35
2.8.1	Anastasia Sannikova: Embedding Deterministic Patterns in Partial Pseudo-Exhaustive Test	35
2.8.2	Jiling Wang: Online Self-Test Wrapper for Runtime- Reconfigurable Systems	36

2.8.3	Zdravko Dimitrov Georgiev: Simulation-Based Analysis For NBTI Degradation In Combinational CMOS VLSI Circuits . . .	37
2.9	Studienarbeit	38
2.9.1	Sebastian Halder: Framework für beschleunigte Monte Carlo Molekularsimulationen auf hybriden Architekturen . . .	38
3	Projekte	39
3.1	RM-BIST: Reliability Monitoring and Managing Built-In Self Test . . .	39
3.2	ROCK: Robuste On-Chip-Kommunikation durch hierarchische Online-Diagnose und -Rekonfiguration	40
3.3	INTESYS: Modellbasierte Testdatenerzeugung zur effizienten Prüfung integrierter Hardware-/Softwaresysteme	41
3.4	OASIS: Online-Ausfallvorhersage mikroelektronischer Schaltungen mittels Alterungssignaturen	42
3.5	REALTEST: Test und Zuverlässigkeit nanoelektronischer Systeme . . .	43
3.6	OTERA: Online Test Strategies for Reliable Reconfigurable Architectures	45
3.7	SimTech: Cluster of Excellence "Simulation-Technology": Mapping Simulation Algorithms to NoC MPSoC Computers	46
3.8	Diana: Durchgängige Diagnosefähigkeit für Elektroniksysteme im Automobil	47
3.9	AUTOTEST: Structural Field Test for Automotive Applications . . .	48
4	Publikationen	49
4.1	Zeitschriften und Konferenzberichte	49
4.1.1	Acceleration of Monte-Carlo Molecular Simulations on Hybrid Computing Architectures	49
4.1.2	Structural Test and Diagnosis for Graceful Degradation of NoC Switches	49
4.1.3	Parallel Simulation of Apoptotic Receptor-Clustering on GPGPU Many-Core Architectures	50
4.1.4	Modeling, Verification and Pattern Generation for Reconfigurable Scan Networks	50
4.1.5	Scan Test Power Simulation on GPGPUs	51
4.1.6	Variation-Aware Fault Grading	51
4.1.7	Reuse of Structural Volume Test Methods for In-System Testing of Automotive ASICs	51
4.1.8	Accurate X-Propagation for Test Applications by SAT-Based Reasoning	52
4.1.9	Efficient Variation-Aware Statistical Dynamic Timing Analysis for Delay Test Applications	52
4.1.10	Accurate QBF-based Test Pattern Generation in Presence of Unknown Values	53
4.1.11	Scan Pattern Retargeting and Merging with Reduced Access Time	53
4.1.12	Efficacy and Efficiency of Algorithm-Based Fault Tolerance on GPUs	54

4.1.13	Test Strategies for Reliable Runtime Reconfigurable Architectures	54
4.1.14	Module Diversification: Fault Tolerance and Aging Mitigation for Runtime Reconfigurable Architectures	55
4.2	Workshop-Beiträge	56
4.2.1	Fault Modeling in Testing	56
4.2.2	Cross-Layer Dependability Modeling and Abstraction in Systems on Chip	56
4.2.3	Adaptive Test and Diagnosis of Intermittent Faults	56

1 Institutsübersicht – Abteilung Rechnerarchitektur

1.1 Mitarbeiter

Geschäftsführender Direktor ITI: Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Sekretariat: M. A. Mirjam Breitling

Wissenschaftliche Mitarbeiter:

M. Sc. Rafal Baranowski

Dipl.-Inform. Claus Braun

M. Sc. Francesco Cervellera

M. Sc. Alejandro Cook

M. Sc. Atefe Dalirsani

M. Sc. Nadereh Hatami

Dipl.-Inf. Stefan Holst

Dipl.-Inf. Michael Imhof

Dipl.-Inf. Michael Kochte

M. Sc. Chang Liu

M. Sc. Abdullah Mumtaz

Dipl.-Inf. Laura Rodríguez Gómez

Dipl.-Inf. Eric Schneider

Dipl.-Inf. Alexander Schöll

Dipl.-Inf. Dominik Ull

Dipl.-Inf. Marcus Wagner

Stipendiatin:

M. Sc. Anusha Kakarala

Administration:

Dipl.-Ing. Helmut Häfner

Dipl.-Ing. (FH) Lothar Hellmeier

sowie ca. 20 studentische Hilfskräfte in Forschung und Lehre



Bild unserer Mitarbeiter (Sommer 2013)

1.2 Ausrichtung der Forschung

Ein großer Teil der Forschungsarbeiten erfolgt in enger Kooperation mit nationalen und internationalen Partnern aus Universitäten, Forschungseinrichtungen und der Industrie. Besondere Aufmerksamkeit wird auf Entwurfsmethoden und Hardwarestrukturen gelegt, mit denen hohe Anforderungen an Zuverlässigkeit, Sicherheit und Korrektheit der Systeme erfüllt werden können. In der Telekommunikation, Luft- und Raumfahrt, Verkehrs- oder Medizintechnik ist der Einsatz digitaler Systeme nur dann verantwortbar, wenn solche besonders hohen Qualitätsanforderungen eingehalten werden können. Mit Verfahren der Hardware-Verifikation wird versucht, die Korrektheit eines Entwurfs nachzuweisen, während beim Hardwaretest Fehler im gefertigten System gesucht werden. Fehlertoleranzverfahren sollen dafür sorgen, dass ein System auch bei Vorliegen eines Fehlers funktionsfähig bleibt oder zumindest nur sichere Zustände annimmt. Viele der hierbei verwendeten Methoden werden auch im Softwareentwurf eingesetzt und sind von allgemeiner Bedeutung in der Informatik.

1.2.1 Test

Bearbeiter: Anusha Kakarala, Michael Kochte, Chang Liu, Abdullah Mumtaz, Laura Rodríguez Gómez, Eric Schneider, Marcus Wagner

Die Arbeitsgruppe „Test“ beschäftigt sich mit dem Test digitaler mikroelektronischer Systeme. Dies umfasst die Modellierung komplexer Fehler, deren Simulation und die algorithmische Erzeugung von Teststimuli. Weiterhin erfordert eine kosteneffiziente Testdurchführung einen prüfgerechten Entwurf des Systems und seiner Komponenten.

Im Rahmen des REALTest-Projekts wurden Algorithmen zur Erzeugung von Stimuli für den Fertigungstest unter Berücksichtigung von Prozessvariationen untersucht. Die Alterung von Transistoren und Verbindungen im Chip erfordert auch einen effizienten Online-Selbsttest im Feld. In den Projekten OASIS und OTERA werden Online-Testverfahren und entsprechende Infrastruktur zur Testdurchführung in anwendungsspezifischen integrierten Schaltungen (ASICs) und rekonfigurierbaren FPGA-basierten Systemen entwickelt und analysiert, so dass Alterungseffekte während der Einsatzdauer der Systeme erkannt werden können. Zur Steuerung des Testablaufs und der Kommunikation auf dem Chip werden zunehmend rekonfigurierbare Scan-Ketten verwendet, deren Synthese und Verifikation ein weiterer Forschungsschwerpunkt der Gruppe „Test“ ist.

Die Validierung und der Test von eingebetteten Hardware-Software-Systemen erfordern neue Verfahren, welche die komplexen Abhängigkeiten zwischen Hardware und hardware-naher Software berücksichtigen. Das Projekt „INTESYS“ untersucht die modellbasierte Erzeugung von Prüfstimuli, die eine hohe Erfassung funktionaler Fehler im Gesamtsystem und struktureller Fehler in der Hardware garantieren.

1.2.2 Zuverlässigkeit

Bearbeiter: Rafal Baranowski, Claus Braun, Francesco Cervellera, Atefe Dalirsani, Nadereh Hatami, Michael Imhof, Alexander Schöll

Ebenen übergreifende Methoden zur Sicherung von Zuverlässigkeit und Verfügbarkeit digitaler Schaltungen und Rechnersysteme bilden den Forschungsschwerpunkt der Gruppe „Zuverlässigkeit“. Die Forschungsarbeiten reichen dabei vom Entwurf fehlertoleranter Standardzellen und Speicherstrukturen (Projekt REALTEST) über neuartige On-Chip-Kommunikationsstrukturen wie „Networks-on-Chip“ (NoC) (Projekt ROCK) und zur Laufzeit rekonfigurierbaren Rechnerarchitekturen (Projekt OTERA) bis auf die höheren Ebenen der Algorithmen und der Software. Auf der Softwareebene steht dabei die zuverlässige Beschleunigung wissenschaftlicher Anwendungen und Simulationen auf innovativen Many-Core-Prozessorarchitekturen und zukünftigen heterogenen, laufzeitrekonfigurierbaren Rechnerarchitekturen im Mittelpunkt (Projekt im Rahmen des Exzellenzclusters Simulation Technology). Weitere Forschungsschwerpunkte bilden die simulationsbasierte Vorhersage und Bewertung von Alterungsmechanismen in digitalen Schaltungen, sowie der Entwurf digitaler Schaltungsstrukturen zur Überwachung der Alterung (Projekt OASIS).

1.2.3 Diagnose

Bearbeiter: Alejandro Cook, Stefan Holst, Dominik Ull

Kombinatorische Diagnoseverfahren wurden zur Fehlerlokalisierung in Pipeline-Strukturen moderner Prozessoren modifiziert, um sie auf Testantworten eines softwarebasierten Selbsttests anzuwenden. Hierzu wird eine sequentielle Ziel-Pipeline in eine für mehrere Taktzyklen äquivalente, kombinatorische Ersatzschaltung überführt, welche zur Erzeugung diagnostischer Testmuster als auch zur Anwendung des kombinatorischen Diagnosealgorithmus herangezogen wird. Kombinatorische Schleifen in der Ersatzschaltung, welche sich durch Forwarding-Signale zwischen den ursprünglichen Pipelinestufen ergeben, werden durch Duplikation entsprechender Gatter verhindert. Bei diesem Vorgehen werden auch Fehlerorte dupliziert, so dass ein Haftfehler in der Pipeline nun durch mehrere Haftfehler modelliert wird, welche den ursprünglichen Fehler in mehreren Taktzyklen darstellen. Ein auf boolesche Erfüllbarkeit (SAT) basierendes Testerzeugungsverfahren sowie die bei der Testmustererzeugung und Diagnose eingesetzte Fehlersimulation wurde den Mehrfachfehlern entsprechend erweitert.

Die Diagnosefähigkeiten traditioneller Methoden für hochkompaktierte Testantworten erfordern mehrfache Wiederholungen des Testablaufs, denn ein einzelnes Ergebnis (Testsignatur) stellt nicht die benötigten Diagnoseinformationen zur Analyse der Fehlerursache zur Verfügung. Um Zwischensignaturen effizient verarbeiten zu können, wurde eine Diagnose-Methode entwickelt, die mehrere Testmuster in einer einzigen Signatur zusammenfasst. Gleichmaßen können damit Mehrfachfehler untersucht werden, die sich auf einzelne Testmuster auswirken. Die vorgeschlagene Vorgehensweise nutzt die linearen Eigenschaften eines Signaturregisters, um die Ursachen von fehlerhaften Werten innerhalb der Mustersequenz zu finden. Der entwickelte Ansatz erreicht ein hervorragendes Kompaktierungsverhältnis, benötigt im Vergleich zu bisherigen Methoden nur einen geringen Teil der Diagnosedaten und behält dabei die gleiche diagnostische Auflösung. Ähnlich nahtlos passt die vorgeschlagene Methode zur traditionellen Architektur von Systemen mit eingebautem Selbsttest (BIST), und stellt optimale Diagnosefähigkeiten für die Prozessoptimierung, zur Steigerung der Produktionsausbeute und bei der Rückläuferanalyse zur Verfügung.

2 Lehre

Die Abschlussarbeiten beziehen sich auf aktuelle Forschungen des Instituts sowie angeregte Themen unserer Kooperationspartner.

Das notwendige Hintergrundwissen wird durch eine Reihe von Vorlesungen, Seminaren und Praktika vermittelt, in denen die grundlegenden Strukturen und Design-Techniken sowie fortschrittliche Themen der Design-Automatisierung vorgestellt werden. Die Vorlesungen *Rechnerorganisation* und *Grundlagen der Rechnerarchitektur* geben einen Überblick über die Architektur moderner Datenverarbeitungssysteme und behandeln die grundlegenden Strukturen schneller digitaler Systeme. Außerdem werden in verschiedenen Seminaren Algorithmen und Strukturen für das Design von fehlertoleranten und zuverlässigen Systemen präsentiert.

Praktisches Knowhow erlernen die Studierenden in einem Praktikum für den Entwurf digitaler Systeme, dessen Ziel die Einführung in elementare elektronische Geräte ist und die Implementierung einfacher digitaler Schaltungen in FPGAs beinhaltet.

Die Abteilung Rechnerarchitektur bietet eine gleichnamige Vertiefungslinie an, die grundlegende Methoden des Entwurfs digitaler Systeme behandelt und innovative Rechnerstrukturen vorstellt.

2.1 Bachelor-Studiengang

2.1.1 Rechnerorganisation 1

Bachelor-Studiengang Informatik, Bachelor-Studiengang Softwaretechnik, Vorlesung mit Übungen, 3V + 1Ü SWS

Dozenten: H.-J. Wunderlich, M. Wagner

Der moderne Rechnerentwurf geschieht auf mehreren Entwurfsebenen, angefangen vom Entwurf von Befehlssätzen und der Unterstützung von Betriebssystemen bis hin zum Aufbau von Operations- und Steuerwerken aus einfachen logischen Gattern. In der Vorlesung werden für alle Entwurfsebenen die heute gebräuchlichen Strukturkonzepte vorgestellt. Wegen der immer größer werdenden Komplexität digitaler Systeme spielt die Entwurfsmethodik eine wesentliche Rolle. Der Inhalt der Vorlesung wird im Rahmen von Gruppenübungen vertieft.

Die Vorlesung behandelt die folgenden Themenschwerpunkte:

- Einleitung
-

- Informationsdarstellung
- MIPS als RISC-Beispiel
- Operationswerke
- Steuerwerke
- Befehlszyklus und Unterbrechungen
- Pipelining und Scheduling
- Speicherorganisation
- Speicherverwaltung
- Betriebssysteme
- Eingabe und Ausgabe
- Leistungsbewertung

2.1.2 Rechnerorganisation 2 / Hardwarepraktikum

Bachelor-Studiengang Informatik, Vorlesung mit Übungen,
1V + 4Ü SWS

Dozenten: H.-J. Wunderlich, E. Schneider, D. Ull, M. Wagner

Rechnerorganisation 2 (auch "Hardwarepraktikum / HAPRA") ist eine 5 stündige Lehrveranstaltung im Studiengang Informatik, die praxisnah Grundlagen des Entwurfs digitaler Schaltungen und Systeme sowie den Zusammenhang zwischen Hard- und Software vermittelt. Die Veranstaltung gliedert sich in einen Praktikumsteil, in dem zwölf aufeinander aufbauende Versuche durchgeführt werden. Sie wird von einer wöchentlichen Vorlesung begleitet.

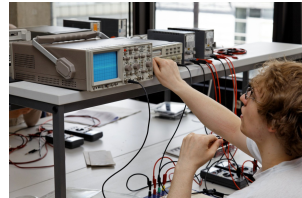
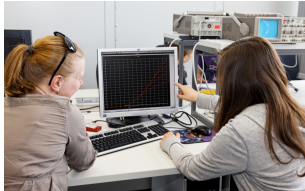
Datenverarbeitende Systeme werden heute in der Regel als digitale Schaltungen realisiert, wobei eine Vielzahl von Funktionseinheiten auf einem einzigen Chip integriert wird. Dabei sind eine Reihe von Schaltungsproblemen und Effekten zu berücksichtigen. Vor dem Einsatz integrierter Schaltungen im Hardwarepraktikum sollen daher die wesentlichen Bauelemente und einfache Grundsaltungen der Elektronik aufgebaut, ausgemessen und simuliert werden. Auf diese Weise werden Effekte und Probleme erfahrbar, die auch in integrierten Schaltungen auftreten.

Anschließend wird ein einfacher RISC-Prozessor mithilfe kommerziellen Entwicklungswerkzeugen von Mentor Graphics und Xilinx entworfen und mit einem Field Programmable Gate Array (FPGA) in Hardware umgesetzt. Neben dem Entwurf kombinatorischer und sequentieller Schaltungen werden dabei auch Arbeitstechniken zur Komplexitätsbewältigung und Konzepte zur Schaltungsvalidierung vermittelt. Der selbst entworfene Prozessor wird am Ende des Praktikums in Maschinensprache programmiert.

Die Themen im Überblick:

- Grundlagen des Entwurfs digitaler Schaltungen und Systeme
-

- Aufbau und Ausmessung einfacher Grundsaltungen der Elektronik
- Modellierung und Simulation integrierter Schaltungen
- Entwurf eines einfachen RISC-Prozessor in VHDL
- Synthese und Test des Prozessorentwurfs mit FPGA Prototypen Boards
- Programmierung des Prozessors in Maschinensprache



Studierende im Hardwarepraktikum

2.1.3 Grundlagen der Rechnerarchitektur / Advanced Processor Architecture (in English)

Bachelor-Studiengang Informatik, Bachelor-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Lecture and Exercises, 3L + 1E

Lecturer: H.-J. Wunderlich, R. Baranowski

This lecture covers advanced concepts in computer architecture. Beside classical concepts like processor design and manufacturing, performance evaluation and optimization, and computer arithmetic new trends are discussed like low power design. Low power design is essential in mobile computing and communication which is a dominating application of microprocessors.

Computation power is increasing by exploiting parallelism on all levels of computation. This course discusses instruction level parallelism, thread level parallelism, multiprocessor systems and emerging many-core technologies found in current graphic accelerators.

The lecture provides a solid background for the courses:

- Design & Test of Systems-on-a-Chip
 - Hardware Verification
 - Self-Testable Systems
 - Fault Tolerant Systems
-

2.2 Master-of-Science- Studiengang

2.2.1 Hardware Verification and Quality Assessment (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Lecture and Exercises, 3L + 1E

Lecturer: H.-J. Wunderlich, M. Kochte, L. Rodríguez Gómez

Microelectronic systems are more and more used in mission critical applications such as automotive, avionics and medical systems. Since errors during the design as well as manufacturing defects in these systems cannot be completely avoided system correctness has to be verified or validated with highest confidence.

This lecture gives an introduction to design validation and verification techniques which are applied in different steps of the design flow of integrated circuits. A second focus of the lecture are manufacturing test methods for integrated circuits in order to detect structural defects introduced during the production of the chip.

In the lecture the following issues are addressed:

- How to prove correctness of a design?
- Design validation by simulation and hardware accelerated emulation
- Formal verification methods
- Defect analysis
- Hardware test (design-for-test, fault simulation, test generation)

2.2.2 Formal Verification of Microprocessors (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar; Master-Studiengang Information Technology, Seminar, 2HS

Lecturer: H.-J. Wunderlich, R. Baranowski, A. Cook, M. Kochte, A. Dalirsani, L. Rodríguez Gómez

Complex microprocessors are increasingly being used in application domains like automotive, avionics, and in medical care. A bug in microprocessor design can have direct impact on the life of human beings or can cause environmental harm, material damage or business failure.

The growing complexity of microprocessors poses a huge verification challenge. Traditional simulation-based verification techniques are unable to prove design correctness due to the prohibitive effort of exhaustive simulation.

The aim of formal verification is to prove or disprove the correctness of a design using formal methods. To deal with the high design complexity, microprocessors are usually divided into components that are verified separately. The choice of an

appropriate formal verification technique depends on the design model, its structure, and the property to be proven.

This seminar deals with the most common formal verification techniques and their application to verification of modern microprocessor designs. We will discuss the principles and application of various techniques, such as:

- Model checking
- Automated theorem proving
- Symbolic trajectory evaluation
- Runtime verification
- Solving satisfiability problems and Satisfiability Modulo Theories (SMT)

2.2.3 Design and Test of Systems on Chip (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Lecture and Exercises, 2L + 2E

Lecturer: H.-J. Wunderlich, M. Kochte, R. Baranowski, L. Rodríguez Gómez

Technological progress in designing and manufacturing integrated circuits allows the integration of complex microelectronic systems including processors, memory, application specific and analog circuits into a single chip. This trend dominates today's and future systems and their design process: Costly manual design of logic is replaced by a core-based design methodology.

Besides the different design styles, paradigms and standards the essential steps of automated design, test and programming of digital and mixed signal circuits are discussed. Exercises and labs serve to practice the use of commercial tools and designs.

In the lecture the following issues are addressed:

- Overview over system design
- Reuse and cores
- Standards and platforms
- Elements of analog and mixed signal designs
- Design validation and verification
- Test and design for testability with the related standards
- Application and programming of embedded processors

Prerequisites: Advanced Processor Architecture

2.2.4 Elements of High Performance RISC Processors (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Master-Studiengang Information Technology, Exercises, 4E

Lecturer: R. Baranowski, L. Rodríguez Gómez

In this lab course a basic 32-bit RISC processor is extended with techniques common to high-performance processors.

The extensions include:

- Pipelining
- 4-way SIMD
- Pipelined hardware multiplier
- Cache, writeback queue, etc.

The resulting processor architecture is quite similar to the one used in the synergistic processing element of the Cell Broadband Engine, used e.g. in Playstation 3. In order to achieve high performance, proper design techniques and software tools for synthesis and analysis play an important role. The students learn how timing analysis, pipelining and retiming can be used to optimize the synthesis results. Finally, the processor is emulated on a Virtex-5 FPGA prototyping board.

The performance gain of the student's design is measured for the Mandelbrot set computation with respect to the basic RISC architecture. Because software has to be specifically tailored to high-performance processor architectures, the lab course also deals with scheduling techniques that avoid pipeline stalls.

2.2.5 Safety of Automotive ICs (in English)

Master-Studiengang Informatik, Master-Studiengang Softwaretechnik, Hauptseminar; Master-Studiengang Information Technology, Seminar, 2HS

Lecturer: H.-J. Wunderlich, A. Cook, D. Ull

Modern cars contain hundreds of control systems which are connected by kilometers of wires. With millions of cars produced every year, manufacturers face the challenge of ensuring passenger's safety in an overall complex, electronic system. Several techniques borrowed from the related fields of hardware/software verification and test are promising solutions in order to guarantee the correct functional operation of the system and its structural integrity.

To guide the developers of automotive hardware, the ISO 26262 standard formulates constraints for achieving specific, defined levels of functional safety. The test methods and implementation details used to fulfill these constraints are not preassigned. The identification of exact procedures in compliance with the guidelines prescribed in the standard ISO 26262 remains an open industry challenge.

Topics:

- Hardware-based Fault-Tolerance for Automotive Applications
- System-Level Fault Tolerance for Automotive Applications
- Structural and Functional Tests at System level
- Software-based Test of Systems-on-chip
- Formal Methods for Software-Based Test
- Ageing
- Impact of EMC on functional safety
- Airbag Deployment Decision Systems
- Soft-Error Tolerance in Automotive Systems
- FlexRay Reliability Improvement
- Intervehicular Networking
- Formal verification of safety critical software

2.3 Lehrveranstaltungen im Wintersemester 2012 - 2013

Titel	Veranstaltungsart	Dozent
Rechnerorganisation 3V	Vorlesung	H.-J. Wunderlich
Rechnerorganisation 1Ü	Übung	M. Wagner H.-J. Wunderlich
Design and Test of System on a Chip 2V	Vorlesung	M. Kochte H.-J. Wunderlich
Design and Test of System on a Chip 2Ü	Übung	R. Baranowski L. Rodríguez Go- mez
Elements of High-Performance RISC Processors - Design and Synthesis 4Ü	Fachpraktikum	R. Baranowski L. Rodríguez Go- mez
Hauptseminar: Safety of Automotive ICs 2HS	Hauptseminar	H.-J. Wunderlich Wiss. Mitarbeiter
Kolloquium Rechnerarchitektur 2K	Seminar	H.-J. Wunderlich Wiss. Mitarbeiter

2.4 Lehrveranstaltungen im Sommersemester 2013

Titel	Veranstaltungsart	Dozent
Rechnerorganisation 2 Hardwarepraktikum 1V	Vorlesung	H.-J. Wunderlich Wiss. Mitarbeiter
Rechnerorganisation 2 Hardwarepraktikum 4Ü	Übung	E. Schneider D. Ull M. Wagner H.-J. Wunderlich
Grundlagen der Rechnerarchitektur Advanced Processor Architecture 3V	Vorlesung	H.-J. Wunderlich
Grundlagen der Rechnerarchitektur Advanced Processor Architecture 1Ü	Übung	R. Baranowski
Hardware Verification and Quality Assessment 3V	Vorlesung	H.-J. Wunderlich M. Kochte L. Rodríguez Gómez
Hardware Verification and Quality Assessment 1Ü	Übung	M. Kochte L. Rodríguez Gómez
Seminar: Formal Verification of Microprocessors 2HS	(Haupt-) Seminar	H.-J. Wunderlich R. Baranowski A. Cook M. Kochte L. Rodríguez Gómez A. Dalirsani
Oberseminar Rechnerarchitektur 2K	Seminar	H.-J. Wunderlich Wiss. Mitarbeiter

2.5 Oberseminar

Im Rahmen des Oberseminars stellen Studierende und wissenschaftliche Mitarbeiterinnen und Mitarbeiter wesentliche Ergebnisse ihrer (Bachelor-, Master-, Diplom- und Doktor-) Arbeiten vor. In einem ca. halbstündigen Vortrag plus anschließender Diskussion werden die Kernpunkte der eigenen Arbeit und Leistung dargestellt.

Ein erfolgreich absolviertes Oberseminar ist zudem Voraussetzung, um am Institut eine Abschlussarbeit abzuschließen. Es folgt die Übersicht über die Vorträge des Studienjahrs 2012 / 2013.

Scan Test Power Simulation on GPGPUs

Dipl.-Inf. Stefan Holst, Institut für Technische Informatik, 18.10.2012

The precise estimation of dynamic power consumption, power droop and temperature development during scan test require a very large number of time-aware gate-level logic simulations. Until now, such characterizations have been feasible only for rather small designs or with reduced precision due to the high computational demands. We propose a new, throughput-optimized timing simulator on running on GPGPUs to accelerate these tasks by more than two orders of magnitude and thus providing for the first time precise and comprehensive toggle data for industrial-sized designs and over long scan test operations. Hazards and pulse-filtering are supported for the first time in a GPGPU accelerated simulator, and the system can easily be extended to even more sophisticated delay and power models.

XHiNoC Based Wireless Networks-on-Chip (WXHiNoC) Prototype

M. Sc. cand. Gurunath Kadam, IES, TU Darmstadt, 18.10.2012

This work explores the new architecture for the On-chip communication, which will provide low latency, high throughput and low power consumption. An extendable Hierarchical NoC (XHiNoC) router is a synchronous parallel pipeline router, and is an extended version of HiNoC which is based on flexible, extendable design environment. An XHiNoC router in normal operation, i.e. when used in the wired NoC architecture, uses the X-Y routing with warmhole routing protocol with the help of ID management (IDM) unit. This router architecture is adapted to be used for the Wireless XHiNoC router. The final NoC architecture is a hybrid model, including both, the wireless and wired links. The typical architecture of the final system is showed in the following figure. For the wireless communication part, CDMA technology is used as the multiple access scheme for wireless communication. One of the ports of the XHiNoC router is made capable of CDMA data encoding/decoding along with wireless data transmission and reception with the help of on-chip antenna. The scope of this work includes the modeling of the router architecture in SystemC and simulation against various application benchmarks, such as, GSPA, PARSEC, SPLASH-2, ALPBENCH and NU-MINE into as applications. Currently the modeling is complete and various tests are being run for improvements in the system architect, if possible.

Partial-Pseudo Exhaustive Testing for Delay Defects

M.Sc. Abdullah Mumtaz, Institut für Technische Informatik, 15.11.2012

As the semiconductor industry moves deep into the sub micron level, the testing of these devices is ever more challenging due to the problem like robustness, various defect mechanisms and unpredictable behaviors due to random process variations. The deep-submicron effects are becoming more prominent with every shrinking technology node, which increases the probability of timing-related defects. They are a major cause of test escapes and field returns, leading to quality and reliability concerns. To detect a delay defect, a pattern pair is required and hence it is more

challenging than the combinational defects which require a single pattern. The test process is also not helped by the inadequacies of the fault models to reflect the real defects and hence in obtaining high defect coverage.

In this talk, a new approach is presented to target these timing defects. The approach is based on the partial-pseudo exhaustive testing scheme which has been proven to be effective for combinational defects. The effectiveness of the proposed approach will also be discussed for Stuck Open (SOP) and cross-talk faults.

Design of an AMBA AHB lock-step arbiter with recovery functionality to use in LEON SoC

M.Sc. Francesco Cervellera, Politecnico di Torino, 15.11.2012

The AMBA AHB is a well known and widely used bus specification for Network-on-Chip (NoC). This bus is the backbone for the LEON3 System-on-Chip (SoC). The LEON3 SoC library provides only an implementation of the main processor core (LEON3FT) hardened to be fault tolerant to single event upset (SUE); the others AHB masters need a redesign process to be able to survive in severe environmental condition. The objective of this research project is to find a solution to move the fault detection and tolerance complexity from each single master to the bus. An accurate research has been done on the AMBA AHB capability, and on the computation flow constrains to apply. The research effort led to the design and implementation (in VHDL) of an AHB arbiter able to monitor the commit on the bus of different masters, which execute in lock-step mode, and react in case of incoherency. The arbiter embeds also some recovery technique in order to reduce the masters mean time to repair (MTTR). An explanatory software implementation for the LEON3 core has been developed, as proof of concept; this code performs a computation on three processor in lock-step mode and tests the arbiter. At the end, results show the efficacy of the idea and its implementation.

Partial Reconfiguration in data processing for aerospace applications

M.Sc. Luis Andres Cardona Cardona, Institut für Technische Informatik, 29.11.2012

One of the main advantages of using SRAM-based FPGA is the flexibility in hardware as the configuration states are stored in volatile memory. But this can also be a problem in the operation of systems implemented in these devices. Any source that affects the configuration memory can lead to change the configured hardware and therefore undesired behaviors on the system can appear. As target application a data compression algorithm designed to be part of a remote sensing instrument is considered. Since the instrument is planned to operate at aerospace level, limited bandwidth link should be optimally used to avoid loss of data and fault tolerance capabilities considered as a mandatory requirement. In the severe environment in which these type of systems operate, many external factors, specially radiation, will affect the circuits. To correct the most common effects at this level (bit-flips, SEUs), a reconfiguration of the chip is required. But more efficient would be the

reconfiguration of the faulty part and not the whole device. In this way the partial reconfiguration feature that recent FPGAs include appears as an option to modify and correct specific parts of the system while the rest continues operating normally. Therefore the inclusion of fault detection mechanisms is required to signalize when errors appear in certain components and then decide how to proceed with the faulty module. Details on the implementation of hardware-software partitioning combined with dynamic partial reconfiguration will be presented and the challenges on the inclusion of fault detection capabilities will be discussed.

Test structure reuse for online diagnosis in Network-on-Chips

M.Sc. Atefe Dalirsani, Institut für Technische Informatik, 29.11.2012

In recent decades, System-on-Chips (SoCs), which integrate numerous semiconductor Intellectual Property (IP) blocks in a single chip, have been a common issue in digital system design. In these years, Network-on-Chip (NoC) is becoming the feasible solution to alleviate the communication complexity within the SoCs. To shield the NoC against transient and permanent failures caused by variety of effects in deep-submicron technologies and obtain a reliable NoC based system, traditional test structures are used to perform structural manufacturing test. However, as transistor size shrinks the circuit becomes increasingly sensitive to transient faults and aging effects. In a highly redundant system like NoC, in which there exist multiple paths connecting the IP blocks, a single defect must not prevent the entire system from operating. During the normal operation, apart from concurrent error detection, the defective parts of the NoC (defective switch) must be isolated in a manner that the fault effect does not propagate to the other system components. The test patterns are then applied to the defective switch and the diagnosis process is performed to determine which parts of the switch are still functioning non-faulty. The non-faulty functions are used for data transport which increases the performability of the NoC in the presence of the faults.

Effiziente mehrwertige Logiksimulation verzögerungsbehaf- teter Schaltungen auf datenparallelen Architekturen

Dipl.-Inf. cand. Alexander Schoell, Institut für Technische Informatik, 20.12.2012

Die Validierung von Schaltungsentwürfen nimmt bis zu 70 Prozent der Entwurfsdauer von hochintegrierten Schaltungen in Anspruch. Zur Bewältigung moderner Validierungsaufgaben sind hochperformante verzögerungsbehaftete Logiksimulationen erforderlich. In diesem Vortrag wird die Simulationsumgebung CWTSim vorgestellt, welche die Anforderungen der Validierungsaufgaben erfüllt.

CWTSim verfolgt den Ansatz einer kontinuierlichen Simulation von Stimulifolgen auf Gatterebene, wodurch eine Simulation von potentiell unbegrenzten Stimulifolgen ermöglicht wird. CWTSim ist fähig, verschiedene Simulationsinstanzen parallel zu simulieren, in denen Variationen des Verzögerungsverhaltens abgebildet wurden. Die datenparallele Implementierung von CWTSim erreicht Beschleunigungen bis zu 168x im Vergleich zur sequentiellen Auswertung mit einem kommerziellen Simulationswerkzeug.

Configurable RTL Model for Level-1 Caches

M.Sc. Vahid Saljooghi, Politecnico di Torino and Chalmers University, 20.12.2012

Level-1 (L1) cache memories are complex circuits that tightly integrate memory, logic, and state machines near the processor datapath. During the design of a processor-based system, many different cache configurations that vary in, for example, size, associativity, and replacement policies, need to be evaluated in order to maximize performance or power efficiency. Since the implementation of each cache memory is a time-consuming and error-prone process, a configurable and synthesizable model is very useful as it helps to generate a range of caches in a quick and reproducible manner. Comprising both a data and instruction cache, the RTL cache model that we present in this presentation has a wide array of configurable parameters. Apart from different cache size parameters, the model also supports different replacement policies, associativities, and data write policies. The model is written in VHDL and fits different processors in ASICs and FPGAs.

Bayesian Fault Classification

Dipl.-Inf. Laura Rodríguez Gómez, Institut für Technische Informatik, 10.01.2013

Testing and diagnosing nano-electronic circuits is particularly difficult. While the detection and localization of permanent faults was the main concern for previous technologies, continuously shrinking feature sizes introduce additional problems for quality assurance. Nano-electronic circuits suffer from an increased susceptibility to external noise, which may cause transient errors not related to manufacturing problems. Also, dynamic parameter variations may lead to transient or intermittent failures. For example, a high switching activity after a period of low switching activity can result in a power droop manifesting itself as a delay problem. A method based on Bayesian networks is presented which is able to distinguish among these kinds of faults.

Software-basierte Diagnose

Dipl.-Inf. Dominik Ull, Institut für Technische Informatik, 10.01.2013

The diagnosis of semiconductor failures during field return analysis is an indispensable task to improve product quality. However, logic diagnosis of field returns is an expensive and time-consuming procedure, which is typically performed only for a small number of faulty chips.

Software-based self-test (SBST) offers an attractive choice to reduce the cost and effort of failure analysis, as code fragments can be executed in the field to verify the integrity of integrated circuits. We present a logic diagnosis technique for SBST programs, which is able to handle complex defect mechanisms and enables the efficient analysis of semiconductor failures in the field.

Computing the Distribution of the Maximum of a Large Number of Jointly Normal Random Variables in Statistical Timing Analysis

Dipl.-Inf. Marcus Wagner, Institut für Technische Informatik, 17.01.2013

Increasing variation in semiconductor devices and interconnects delays has become one of the major challenges for circuit manufacturing and test. Statistical dynamic timing analysis is used to approximate the probability distribution of the circuit delay, defined as the statistical maximum of the delays of all sensitized paths. This talk studies the probability distribution of the maximum for normally distributed path delays and highlights several factors which determine the skewness of the distribution. Based on these observations, a new circuit partitioning based approach is presented, which reduces the computational effort while maintaining good accuracy.

Restricting Access to Reconfigurable Scan Networks

M.Sc. Rafal Baranowski, Institut für Technische Informatik, 18.01.2013

The accessibility of on-chip embedded infrastructure for test, debug, reconfiguration and monitoring poses a serious security problem. Scan design based on IEEE Std. 1149.1 (JTAG), and especially reconfigurable scan networks, as allowed by the IEEE Std. 1500 and IEEE P1687 (IJTAG) proposal, require special care in the design and development of access mechanisms. In this talk I will present a novel approach that guarantees security of scan infrastructures and preserves its external accessibility. Access sequences are generated in such a way that no secret data is revealed during the access. The Test Access Port (TAP) is protected with a sequence filter that rejects insecure scan-in sequences and hence guarantees security. Experimental results show that the TAP protection results in low hardware overhead that scales linearly with the required level of accessibility.

Framework für beschleunigte Monte Carlo Molekularsimulationen auf hybriden Architekturen

Sebastian Halder, Studienarbeit, Institut für Technische Informatik, 18.01.2013

In der Thermodynamik können Monte-Carlo-Molekularsimulationen eingesetzt werden, um makroskopische Eigenschaften eines Molekularsystems zu beobachten. Diese Simulationen sind äußerst rechenintensiv.

Aktuelle und kommende Generationen von eng gekoppelten Mehrkernprozessoren und Grafikprozessoren (GPGPUs) bieten ein großes Potential an Rechenleistung, welches sie für solche Simulationsanwendungen besonders interessant macht.

Entwicklung einer FPGA-basierten Konsolidierungseinheit für Fließkomma- und Ganzzahldaten im Einsatzbereich der zivilen Luftfahrt

Dipl.-Ing. cand. Markus Blocherer, Institut für Technische Informatik, 24.01.2013

Diese Arbeit beschäftigt sich mit der Entwicklung einer programmierbaren Datenkonsolidierungseinheit für die zivile Luftfahrt. Nach abwägen der Alternativen wurde ein modularer anwendungsspezifischer Prozessor mit eigenem Befehlssatz entwickelt. Der Fokus wurde besonders auf die Erweiterungsfähigkeit des Prozessors gelegt. Um diese zu demonstrieren, wurde eine vollständig IEEE754-konforme Gleitkommaeinheit als Fallbeispiel in die Datenkonsolidierungseinheit integriert.

On Enabling Path-Tracing for Signature-Based Logic Diagnosis

M.Sc. Alejandro Cook, Institut für Technische Informatik, 24.01.2013

The goal of logic diagnosis is to find one or a few fault candidates in a faulty chip. Traditional diagnostic approaches identify such candidates by tracing the logic path of a fault from the circuit's outputs to its inputs. However, highly compacted test responses like those, for instance, in Built-In Self-Test, reduce the effectiveness of path tracing. In this talk, a suitable technique will be presented to enable diagnosis algorithms, which make use of path-tracing, to be applied for BIST under the presence of multiple faults.

Interactive Debug of Manufacturing Tests by Reusing High-Level Design Data

Dipl.-Ing. Christian Zöllin, International Business Machines Corporation, 28.01.2013

VLSI Automated Test Equipment (ATE) is a form of highly specialized and accurate measurement tool, with the ability to stimulate and measure signals with picosecond time resolution and sub-mV resolution for signal levels. However, for efficiency the test vectors to be applied must be stored as raw binary data and the original pattern programming source is unavailable directly on the ATE. Tests often have to operate a diverse and complex system of on-chip instrumentation such as power management, clock generation, built-in self-test structures and on-chip sensors. Reprogramming of the patterns is often required in particular for chip characterization. Disassembling and manipulating this raw data as well as diagnosing the fails are major (and time consuming) challenges to test engineers. This talk presents how high-level design abstractions such as the Instrument Connectivity Language from the IEEE P1687 proposed standard are leveraged with manufacturing testers to automate editing of the test patterns. Besides increasing productivity this approach enables new test and characterization methods not previously possible. The talk will survey the capabilities of ATEs and present real-world characterization scenarios enabled by the new method.

Tracking and Analyzing Single Event Transients in Data-Paths

Dipl.-Inform. Claus Braun, Institut für Technische Informatik, 28.01.2013

Semiconductor technology scaling is the driving force that enables the design and manufacturing of highly complex electronic circuits. The continuously shrinking

feature sizes allow integration densities that still follow Moore's Law. However, with shrinking dimensions, circuits become increasingly susceptible to single event transients. In contrast to memories, where soft error rates are kept nearly constant by application of error detecting and error correcting codes, single event transients in the free logic are of growing concern. To design, select and evaluate suitable fault tolerance measures, detailed analyses of circuit behavior under SET influence are required. In this talk, a multilevel simulation-based approach is introduced that allows injection, tracking and analysis of SETs in data-paths and their impact on the application level.

Boolean Reasoning in Presence of Unknown Values

Dipl.-Inf. Michael Kochte, Institut für Technische Informatik, 31.01.2013

Unknown values emerge during the design process as well as during system operation and test application. Sources of X-values are for example black boxes, clock-domain boundaries, analog-to-digital converters, or uncontrolled or uninitialized sequential elements. X-values compromise test quality. This talk discusses algorithms to accurately analyze the propagation of X-values and the coverage of structural tests.

Aging Monitor: Path Selective Monitoring

M. Sc. Chang Liu, Institut für Technische Informatik, 31.01.2013

The transistor dimension scaling down brings us new challenging for reliability issues. As one of the major concerns, transistors' aging necessitates implementing online aging monitors to observe the chips performance. Today's aging monitors include Active and Dormant sensors. Due to the lack of work load information, all active aging sensors are pessimistic. Dormant monitors overcome this problem however the comparative large hardware overhead makes it impossible to apply the aging sensor to every flip-flop in the target circuit. Thus there is a chance that the longest paths with aging checkers aren't sensitized very often and the aging progress is not monitored. In this seminar, to avoid above unwanted situation, two solutions are proposed: stability checker relocation and path activation monitor development. The efficiency of these synergic solutions is proved by the experimental results.

Test von Rekonfigurierbaren Scan-Netzwerken

Dipl.-Inf. cand. Marcel Schaal, Institut für Technische Informatik, 14.02.2013

Moderne Mikrochips enthalten zahlreiche Instrumente, die zur Auswertung der Betriebsparameter, zum Test oder zur Validierung der Funktionalität genutzt werden. Rekonfigurierbare Scan-Netzwerke bieten die Möglichkeit eines effizienteren, flexibleren und skalierbaren Zugriffs auf eingebettete Instrumente gegenüber üblichen statischen Scan-Ketten. Durch den Einsatz von Rekonfigurierbaren Scan-Netzwerken nimmt jedoch die Komplexität der Zugriffsinfrastruktur zu. Bestehende Tests für Scan-Ketten können die komplexere Steuerlogik bei Rekonfi-

gürrierbaren Scan-Netzwerken nicht ausreichend testen. Deshalb ist es notwendig, neuartige Teststrategien zu entwickeln, welche speziell an die Merkmale von Rekonfigurierbaren Scan-Netzwerken angepasst sind.

Piecewise Evaluation for Efficient Aging Prediction

M. Sc. Nadereh Hatami, Institut für Technische Informatik, 14.02.2013

As the technology shrinks, non-functional properties (NFPs) such as reliability, vulnerability, power consumption or heat dissipation become as important as system functionality. NFPs depend on the application and workload of a system, they often influence each other and exhibit non-linear behavior. As NFP models are complex and interrelated, NFP simulation over long periods of system operation is computationally expensive, if feasible at all. This presentation presents a partial model linearization method for efficient NFP simulation. System operating time is divided into intervals called Evaluation Windows, within which the NFP models are linearized. For functional system simulation, an efficient multi-level simulation approach is used. High simulation speed is enabled by parallel execution of laborious simulation jobs. Simulation accuracy is tradedoff against simulation performance by adjusting the window size.

Scan Pattern Retargeting and Merging with Reduced Access Time

M.Sc. Rafal Baranowski, Institut für Technische Informatik, 02.05.2013

Efficient access to on-chip instrumentation is a key enabler for post-silicon validation, debug, bringup or diagnosis. Reconfigurable scan networks, as proposed by e.g. the IEEE Std. P1687, emerge as an effective and affordable means to cope with the increasing complexity of on-chip infrastructure. To access an element in a reconfigurable scan network, a scan-in bit sequence must be generated according to the current state and structure of the network. Due to sequential and combinational dependencies, the scan pattern generation process (pattern retargeting) poses a complex decision and optimization problem. In this talk I present a method for scan pattern generation with reduced access time. The access time reduction is mapped to a pseudo-Boolean optimization problem, which enables the use of efficient solvers to exhaustively explore the search space of valid scan-in sequences. This is the first automated method for efficient pattern retargeting in complex reconfigurable scan architectures such as P1687-based networks. It supports the concurrent access to multiple target scan registers (access merging) and generates reduced (short) scan-in sequences, considering all sequential and combinational dependencies. The proposed method achieves an access time reduction by up to 88x or 2.4x in average w.r.t. unoptimized satisfying solutions.

Embedding Deterministic patterns in Partial Pseudo-Exhaustive Test

Dipl.-Inf. cand. Anastasia Sannikova, Institut für Technische Informatik, 06.06.2013

This work is related to testing of very large scale integration circuits and presents the idea of optimizing mixed-mode built-in self-test (BIST) scheme. Mixed-mode BIST consists of two phases. The first phase is pseudo-random testing or partial pseudo-exhaustive testing (P-PET). For the faults not detected by the first phase, deterministic test patterns are generated and applied in the second phase. Hence, the defect coverage of the first phase influences the number of patterns to be generated and stored. The advantages of P-PET in comparison with usual pseudo-random test are in obtaining higher fault coverage and reducing the number of deterministic patterns in the second phase of mixed-mode BIST. Test pattern generation for P-PET is achieved by selecting characteristic polynomials of multiple-polynomial linear feedback shift register (MP-LFSR).

High-Performance Time-Simulation of CMOS-Circuits

Dipl.-Inf. Eric Schneider, Institut für Technische Informatik, 13.06.2013

Time simulation of circuits has many uses in EDA and test. While most classical approaches are optimized for fast evaluation at gate-level, they lack the precision that is needed to investigate first order effects introduced by the latest nanometer manufacturing processes. Approaches based on SPICE models on the other hand, offer the required precision, but become infeasible for large designs due to complexity issues. In this work, a method is presented that allows to efficiently simulate circuits at transistor-level on dataparallel architectures by offering a trade-off in simulation speed and precision enabling a wide field of applications.

Online Diagnosis in Network-on-Chips

M.Sc. Atefe Dalirsani, Institut für Technische Informatik, 27.06.2013

In recent years, Network-on-Chip (NoC) is becoming the feasible solution to alleviate the communication complexity within the SoCs, which integrates numerous semiconductor Intellectual Property (IP) blocks in a single chip. Although offline manufacturing test typically identifies a large number of circuit defects, the reliable operation of the system is still degraded by undetected manufacturing defects, wear-and-tear faults, and transient faults. As the transistor size shrinks, the circuit becomes increasingly sensitive to the transient faults. In addition, it becomes more vulnerable to aging effects. These failure mechanisms can alter the behavior of the NoC fabric in operational mode and hence degrade its Quality of Service characteristics. Providing resilience from such faults is important for reliable operation of the NoC-based chips. Fault identification in the switches during the normal operation of the system, which is called online error detection, is the first step in online diagnosis. The effect of a transient fault can be mitigated by discarding the erroneous transmitted data and repeating the incorrect operations during the next operation cycles. However, for faults with a permanent or intermittent nature, apart from error detection, further diagnosis is required to identify which of the switch ports is not functional. For these classes of faults, after detecting the fault, we find the location of the fault inside a defective switch, which is called online diagnosis. It makes the use of semifaulty switches possible and improves performance of the NoC in presence of fault.

Simulation-based Aging Analysis

M.Sc. cand. Zdravko Dimitrov Georgiev, Institut für Technische Informatik,
27.06.2013

The negative-bias temperature instability (NBTI) is one of the dominant aging degradation mechanism in today Very Large Scale Integration (VLSI) Integrated Circuits (IC). With the further decreasing of the transistor dimensions and reduction of supply voltage, the NBTI degradation may become a critical reliability threat. Nevertheless, most of the EDA tools lack in the ability to predict and analyse the impact of the NBTI. Other tools able to analyse the NBTI, are often on very low design level and requiring significant computational resources.

The impact of the NBTI aging degradation in the combinational part of VLSI CMOS circuits has to be analysed. For that purpose, a gate-level NBTI simulation flow for estimating the degraded circuit performance parameters is proposed and implemented. The flow is NBTI model independent and tool independent. A particular implementation is made based on the Reaction-Diffusion NBTI model, and several tools.

Non-Intrusive Integration of Advanced Diagnosis Features in Automotive Electronic-/Electric-Architectures

M.Sc. Alejandro Cook, Institut für Technische Informatik, 04.07.2013

The constantly growing amount of semiconductors in automotive systems increases the number of possible defect mechanisms, and therefore raises the effort to maintain a sufficient of quality and reliability. An advantageous solution for this problem is the online application of structural tests in key components, typically ECUs. In this work, an approach for the optimized integration of Software-Based Self-Tests (SBST) and Built-In Self-Tests (BIST) into E/E-architectures is presented. The method performs a non-intrusive integration, i. e., the execution of the tests (a) does not affect functional applications and (b) does not require costly changes in the communication schedules or additional communication overhead. Via a design space exploration, the paper derives optimized implementations with respect to multiple conflicting objectives reflecting costs, safety, and test quality.

Micro Architecture for Fault Tolerant Network-on-Chips

Dipl.-Ing. cand. Stefan Zimmermann, Institut für Technische Informatik,
18.07.2013

Durch die Skalierung der Technologie ist es möglich andere Architekturen umzusetzen. So werden immer mehr Kerne auf einem Chip untergebracht. Mit der steigenden Anzahl an Kernen steigt der Kommunikationsbedarf. Die Alternative zu busbasierten Kommunikationen eines Ein-Chip-Systems ist ein Network-on-Chip. Ein Network-on-Chip basiertes System mit hunderten oder tausenden an Kernen hat bessere Performanceeigenschaften und einen besseren Datendurchsatz als ein vergleichbares busbasiertes Ein-Chip-System. Das Netzwerk auf einem Chip wird

durch Switche aufgespannt. An jeden dieser Switche ist jeweils ein Kern angeschlossen.

Durch Produktionsschwankungen oder nach einer gewissen Zeit kann der Chip defekt werden. Die dadurch auftretenden Defekte können einen wesentlichen Einfluss auf die Systemperformance und die Systemverfügbarkeit haben. Es muss sichergestellt werden, dass eine fehlerhafte Verbindung zwischen einem Switch und einem Kern oder ein defekter Kern den Systembetrieb nicht beeinflusst. Dies ist der Grund, dass diese Fehler erkannt und toleriert werden müssen.

Software-Based Self-Test (SBST) Diagnosis

Dipl.-Inf. Dominik Ull, Institut für Technische Informatik, 18.07.2013

The SBST logic diagnosis is extended for pipeline structures of modern processors. Stuck-at test pattern generation is applied to a combinational time-frame-enlargement of an originally sequential circuit. During this step, forwarding logic within the pipeline might get duplicated, leading to multiple faults, that model a single defect location in different clock cycles. The combinational logic diagnosis algorithm is modified to account these faults.

2.6 Dissertation

2.6.1 Stefan Holst: Efficient location-based logic diagnosis of digital circuits

Dipl.-Inf. Stefan Holst: Efficient location-based logic diagnosis of digital circuits

Hauptberichter: Prof. Dr. rer. nat. habil. Hans-Joachim Wunderlich

Mitberichter: Prof. Paolo Ernesto Prinetto, Politecnico di Torino

Prüfung: 28.09.2012

Publikationsdatum: 04.12.2012

Abstract:

Logic diagnosis is the task of finding defects within a random logic circuit based on its faulty behavior. Fast and accurate algorithms for logic diagnosis are an integral part of modern chip development. Classic diagnosis algorithms were often based on fault models which contain a priori assumptions on the behavior of defects. In recent technologies, fault model based approaches become ineffective because defect mechanisms get more and more complex. So research has started on location-based diagnosis algorithms, which use more general fault models or no model at all and report defective substructures directly. The generality however may also have a negative effect on the accuracy of the diagnosis results. With the lack of a fault model, a diagnosis algorithm has less knowledge on possible or likely malfunctions of a circuit. This increases the search space dramatically and may even lead to defect candidates which are physically impossible. Reducing a priori assumptions while retaining sufficient knowledge on likely defect mechanisms is the key to effective logic diagnosis.

This work introduces the Conditional Line Flip (CLF) calculus as a way to describe arbitrary defects in logic circuits. This generalized fault modeling approach is used to investigate the assumptions made by diagnostic fault models and diagnosis algorithms found in the literature.

The second main contribution of this work is a location-based logic diagnosis algorithm called Partially Overlapping Impact couNTER (POINTER). It builds directly upon the CLF calculus, works independently of any specialized fault model and offers powerful heuristics for sorting defect candidates according to their likelihood in physical chips. The POINTER approach is extended and modified to account for the particular challenges of high precision diagnostics in a lab, during production, and in autonomous online diagnosis in the field. Experimental results on industrial designs confirm that, despite its generality and lack of application specific knowledge, POINTER performs much better than previous diagnosis approaches. In cases where very high response compaction ratios are used, POINTER even enables fault model independent diagnosis for the first time.

2.7 Diplomarbeiten

Bearbeiter	Betreuer	Thema
Alexander Schöll	Claus Braun Stefan Holst Michael Kochte	Effiziente mehrwertige Logiksimulation verzögerungsbehafteter Schaltungen auf datenparallelen Architekturen
Markus Blocherer	Michael Imhof	Entwicklung einer FPGA-basierten Konsolidierungseinheit für Fließkomma- und Ganzzahldaten im Einsatzbereich der zivilen Luftfahrt
Marcel Schaal	Rafal Baranowski Michal Kochte	Test rekonfigurierbarer Scan-Netzwerke
Stefan Zimmermann	Atefe Dalirsani	Micro Architecture for Fault Tolerant NoCs

2.7.1 Alexander Schöll: Effiziente mehrwertige Logiksimulation verzögerungsbehafteter Schaltungen auf datenparallelen Architekturen

Betreuer: Claus Braun, Stefan Holst, Michael Kochte

Abgabedatum: 30.11.2012

Kurzfassung:

Die Validierung von Schaltungsentwürfen nimmt bis zu 70 Prozent der Entwurfsdauer von hochintegrierten Schaltungen in Anspruch. Validierungsaufgaben wie Fehlersimulationen, Alterungsanalysen, Untersuchungen zum Energieverbrauch, Testmengencharakterisierungen sowie die Bewertung der Zuverlässigkeit erfordern hochperformante verzögerungsbehaftete Logiksimulationen. Die Verzögerungen innerhalb hochintegrierter Schaltungen sind von Variationen geprägt. Die Berücksichtigung von Variationen innerhalb der Validierungsaufgaben erhöht den Aufwand nochmals erheblich.

In der vorliegenden Arbeit wird die Simulationsumgebung CWTSim vorgestellt, welche die Anforderungen der Validierungsaufgaben erfüllt. CWTSim verfolgt den Ansatz einer kontinuierlichen Simulation von Stimulifolgen auf Gatterebene, wodurch eine Simulation von potentiell unbegrenzten Stimulifolgen ermöglicht wird. CWTSim ist fähig, verschiedene Simulationsinstanzen parallel zu simulieren, in denen Variationen des Verzögerungsverhaltens abgebildet wurden. Hierzu wurde CWTSim parallelisiert und auf eine datenparallele Architektur abgebildet.

Die benötigte Zeit, welche zur Simulation einer Vielzahl von Verzögerungsvariationen aufgewendet werden muss, wird durch CWTSim signifikant reduziert. CWTSim erreicht Beschleunigungen bis zu 168x im Vergleich zur sequentiellen Auswertung mit einem kommerziellen Simulationswerkzeug.

2.7.2 Markus Blocherer: Entwicklung einer FPGA-basierten Konsolidierungseinheit für Fließkomma- und Ganzzahldaten im Einsatzbereich der zivilen Luftfahrt

Betreuer: Michael Imhof

Abgabedatum: 18.01.2013

2.7.3 Marcel Schaal: Test Rekonfigurierbarer Scan-Netzwerke

Betreuer: Rafal Baranowski, Michael Kochte

Abgabedatum: 07.02.2013

Kurzfassung:

Moderne Mikrochips enthalten zahlreiche Instrumente, die zur Auswertung der Betriebsparameter, zum Test oder zur Validierung der Funktionalität genutzt werden. Rekonfigurierbare Scan-Netzwerke (RSN) bieten die Möglichkeit eines effizienteren, flexibleren und skalierbaren Zugriffs auf eingebettete Instrumente gegenüber üblichen statischen Scan-Ketten.

Durch den Einsatz von Rekonfigurierbaren Scan-Netzwerken nimmt jedoch die Komplexität der Zugriffsinfrastruktur zu. Während Scan-Ketten im Wesentlichen aus Schieberegistern bestehen, wodurch ein Defekt im Scan-Pfad relativ einfach festgestellt werden kann, finden sich in Rekonfigurierbaren Scan-Netzwerken, neben einfachen Logikelementen, auch Multiplexer und möglicherweise komplexere Schaltungen. Somit können unterschiedliche Scan-Pfade und -Hierarchien gebildet werden. Allerdings kann bei einem Defekt der Zugriff auf einen einzelnen Scan-Pfad oder sogar ganze Hierarchieebenen unterbrochen sein, weshalb bestehende Tests für Scan-Ketten bei Rekonfigurierbaren Scan-Netzwerken nicht mehr ausreichend sind. Deshalb ist es notwendig neuartige Teststrategien zu entwickeln, welche speziell an die Merkmale von Rekonfigurierbaren Scan-Netzwerken angepasst sind.

In dieser Arbeit wurden Strategien für den Test Rekonfigurierbarer Scan-Netzwerke analysiert und ausgewertet. Es wurden mehrere neue Verfahren zur Erzeugung von Testmustern vorgestellt, welche effizient bezüglich Laufzeit als auch des Speicherplatzbedarfs arbeiten.

2.7.4 Stefan Zimmermann: Micro Architecture for Fault Tolerant NoCs

Betreuer: Atefe Dalirsani, Michael Imhof

Abgabedatum: 23.07.2013

Kurzfassung:

Durch die Skalierung der Technologie ist es möglich andere Architekturen umzusetzen. So werden immer mehr Kerne auf einem Chip untergebracht. Mit der steigenden Anzahl an Kernen steigt der Kommunikationsbedarf. Die Alternative zu busbasierten Kommunikationen eines Ein-Chip-Systems ist ein Network-on-Chip. Ein Network-on-Chip basiertes System mit hunderten oder tausenden an Kernen hat bessere Performanceeigenschaften und einen besseren Datendurchsatz als ein vergleichbares busbasiertes Ein-Chip-System. Das Netzwerk auf einem Chip wird durch Switche aufgespannt. An jeden dieser Switche ist jeweils ein Kern angeschlossen.

Durch Produktionsschwankungen oder nach einer gewissen Zeit kann der Chip defekt werden. Die dadurch auftretenden Defekte können einen wesentlichen Einfluss auf die Systemperformance und die Systemverfügbarkeit haben. Es muss sichergestellt werden, dass eine fehlerhafte Verbindung zwischen einem Switch und einem Kern oder ein defekter Kern den Systembetrieb nicht beeinflusst. Dies ist der Grund, dass diese Fehler erkannt und toleriert werden müssen.

Um fehlerhafte Verbindungen zwischen dem Switch und dem Kern zu erkennen, wird die Anschlussfunktionalität bei Auftreten eines Fehlers überprüft. Informationen über die fehlerhaften Anschlüsse werden lokal in jedem Switch gespeichert. Eine redundante Verbindung zwischen dem Kern und den Switchen hält die Kernverbindung aufrecht, wenn ein Switch oder eine Verbindung zu dem Kern beschädigt ist. Drei Konfigurationen, mit zwei, mit drei und mit vier Switchverbindungen zu einem Kern, werden durch eine numerische Verfügbarkeitsberechnung untersucht. Die fehlertolerante Architektur modifiziert außerdem den Routingalgorithmus. Die Pakete müssen zu jedem Kern auch durch die alternative Verbindung zugestellt werden. Durch diese Erweiterungen kann die Verfügbarkeit und die Performance erhöht werden.

Um die Zuverlässigkeit des Systems zu erhöhen, werden transiente Fehler von permanenten Fehlern unterschieden. Hierfür wird die Überprüfung der Verbindungen erweitert. Die Architektur wird dazu verwendet dass fehlerhafte Kerne erkannt werden. Die Operationen werden auf drei identischen Kernen, die an den gleichen Switch angeschlossen sind, ausgeführt. Ist das Ergebnis eines Kerns anders als das von den anderen Kernen, dann wird der fehlerhafte Kern von diesem Switch getrennt. Durch diese dreifach modulare Redundanz steigt die Zuverlässigkeit des Systems.

2.8 Master-Arbeiten

Bearbeiter	Betreuer	Thema
Anastasia Sannikova	Abdullah Mumtaz Michael Imhof	Embedding Deterministic patterns in Partial Pseudo-Exhaustive Test
Jiling Wang	Claus Braun Michael Imhof Michael Kochte	Online Self-Test Wrapper for Runtime-Reconfigurable Systems
Zdravko Dimitrov Georgiev	Chang Liu Michael Kochte	Simulation-Based Analysis for NBTI Degradation in Combinational CMOS VLSI Circuits

2.8.1 Anastasia Sannikova: Embedding Deterministic Patterns in Partial Pseudo-Exhaustive Test

Betreuer: Abdullah Mumtaz, Michael Imhof

Abgabedatum: 17.05.2013

Abstract:

The topic of this thesis is related to testing of very large scale integration circuits. The thesis presents the idea of optimizing mixed-mode built-in self-test (BIST) scheme. Mixed-mode BIST consists of two phases. The first phase is pseudo-random testing or partial pseudo-exhaustive testing (P-PET). For the faults not detected by the first phase, deterministic test patterns are generated and applied in the second phase. Hence, the defect coverage of the first phase influences the number of patterns to be generated and stored. The advantages of P-PET in comparison with usual pseudo-random test are in obtaining higher fault coverage and reducing the number of deterministic patterns in the second phase of mixed-mode BIST. Test pattern generation for P-PET is achieved by selecting characteristic polynomials of multiple-polynomial linear feedback shift register (MP-LFSR).

In this thesis, the mixed-mode BIST scheme with P-PET in the first phase is further improved in terms of the fault coverage of the first phase. This is achieved by optimization of polynomial selection of P-PET.

In usual mixed-mode BIST, the set of undetected by the first phase faults is handled in the second phase by generating deterministic test patterns for them. The method in the thesis is based on consideration of these patterns during polynomial selection. In other words, we are embedding deterministic test patterns in P-PET. In order to solve the problem, the algorithm for the selection of characteristic polynomials covering the pre-generated patterns is developed.

The advantages of the proposed approach in terms of the defect coverage and the number of faults left after the first phase are presented using contemporary industrial circuits. A comparison with usual pseudo-random testing is also performed. The results prove the benefits of P-PET with embedded test patterns in terms of the fault coverage, while maintaining comparable test length and time.

2.8.2 Jiling Wang: Online Self-Test Wrapper for Runtime-Reconfigurable Systems

Betreuer: Claus Braun, Michael Imhof, Michael Kochte

Abgabedatum: 04.06.2013

Abstract:

Reconfigurable Systems-on-a-Chip (SoC) architectures consist of microprocessors and Field Programmable Gate Arrays (FPGAs). In order to implement runtime reconfigurable systems, these SoC devices combine the ease of programmability and the flexibility that FPGAs provide. One representative of these is the new Xilinx Zynq-7000 Extensible Processing Platform (EPP), which integrates a dual-core ARM Cortex-A9 based Processing System (PS) and Programmable Logic (PL) in a single device. After power on, the PS is booted and the PL can subsequently be configured and reconfigured by the PS. Recent FPGA technologies incorporate the dynamic Partial Reconfiguration (PR) feature. PR allows new functionality to be programmed online into specific regions of the FPGA while the performance and functionality of the remaining logic is preserved. This on-the-fly reconfiguration characteristic enables designers to time-multiplex portions of hardware dynamically, load functions into the FPGA on an as-needed basis. The configuration access port on the FPGA can be used to load the configuration data from memory to the reconfigurable block, which enables the user to reconfigure the FPGA online and test runtime systems. Manufactured in the advanced 28 nm technologies, the modern generations of FPGAs are increasingly prone to latent defects and aging-related failure mechanisms. To detect faults contained in the reconfigurable gate arrays, dedicated on and off-line test methods can be employed to test the device in the field. Adaptive systems require that the fault is detected and localized, so that the faulty logic unit will not be used in future reconfiguration steps. This thesis presents the development and evaluation of a self-test wrapper for the reconfigurable parts in such hybrid SoCs. It comprises the implementation of Test Configurations (TCs) of reconfigurable components as well as the generation and application of appropriate test stimuli and response analysis. The self-test wrapper is successfully implemented and is fully compatible with the AMBA protocols. The TC implementation is based on an existing Java framework for Xilinx Virtex-5 FPGA, and extended to the Zynq-7000 EPP family. These TCs are successfully redesigned to have a full logic coverage of FPGA structures. Furthermore, the array-based testing method is adopted and the tests can be applied to any part of the reconfigurable fabric. A complete software project has been developed and built to allow the reconfiguration process to be triggered by the ARM microprocessor. Functional test of the reconfigurable architecture, online self-test execution and retrieval of results are under the control of the embedded processor. Implementation results and analysis demonstrate that TCs are successfully synthesized and can be dynamically reconfigured into the area under test, and subsequent tests can be performed accordingly.

2.8.3 Zdravko Dimitrov Georgiev: Simulation-Based Analysis For NBTI Degradation In Combinational CMOS VLSI Circuits

Betreuer: Chang Liu, Michael Kochte

Abgabedatum: 21.06.2013

Abstract:

The negative-bias temperature instability (NBTI) is one of the dominant aging degradation mechanism in today Very Large Scale Integration (VLSI) Integrated Circuits (IC). With the further decreasing of the transistor dimensions and reduction of supply voltage, the NBTI degradation may become a critical reliability threat. Nevertheless, most of the EDA tools lack in the ability to predict and analyse the impact of the NBTI. Other tools able to analyse the NBTI, are often on very low design level and requiring significant computational resources.

The purpose of this master work is to analyse the impact of the NBTI aging degradation in the combinational part of VLSI CMOS circuits. For that purpose, a gate-level NBTI simulation flow for estimating the degraded circuit performance parameters is proposed and implemented. The flow is NBTI model independent and tool independent. A particular implementation is made based on the Reaction-Diffusion NBTI model, and the tools: HotSpot 5.0, Candance Encounter, Synopsys Design Compiler, Synopsys Prime-Time. The results of the NBTI simulation are outputted in the format of statistical data of the gate delay degradation, the critical path delay degradation and length change, and the power consumption change. In addition, a heatmap visualizing the delay degradation is generated.

Finally, a set of simulations are performed on circuits from the ISCAS89 and NXP benchmark suits. The statistical data are presented, and the impact of the NBTI degradation is analysed.

2.9 Studienarbeit

2.9.1 Sebastian Halder: Framework für beschleunigte Monte Carlo Molekularsimulationen auf hybriden Architekturen

Betreuer: Claus Braun, Stefan Holst

Abgabedatum: 30.11.2012

Kurzfassung:

In der Thermodynamik können Monte-Carlo-Molekularsimulationen eingesetzt werden, um makroskopische Eigenschaften eines Molekularsystems zu beobachten. Diese Simulationen sind äußerst rechenintensiv.

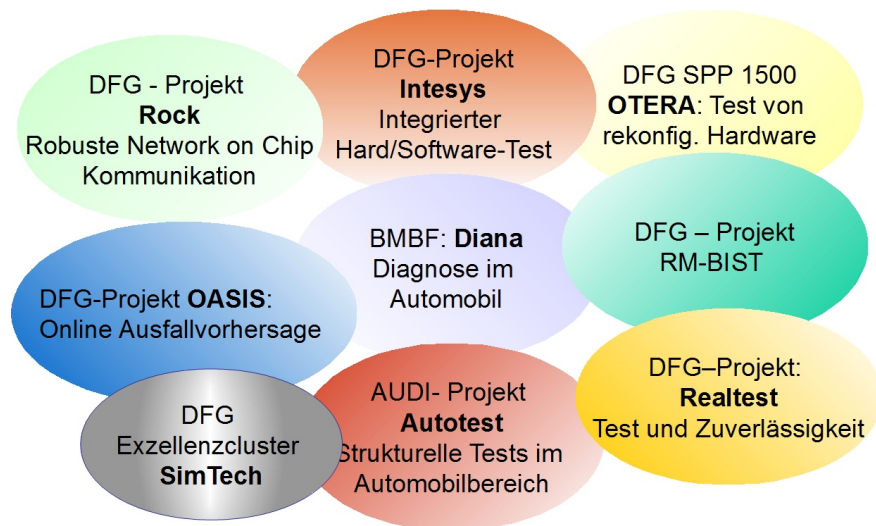
Aktuelle und kommende Generationen von eng gekoppelten Mehrkernprozessoren und Grafikprozessoren (GPGPUs) bieten ein großes Potential an Rechenleistung, welches sie für solche Simulationsanwendungen besonders interessant macht.

Die dieser Arbeit zu Grunde liegende Markov-Chain-Monte-Carlo-Molekularsimulation (MCMC/GCMC) basiert jedoch auf der Erzeugung einer Markovkette, d.h. jeder Simulationsschritt hängt vom Vorhergehenden ab. Diese inhärente serielle Abhängigkeit erschwert die Parallelisierung des Problems erheblich.

In der vorliegenden Arbeit wurden Konzepte und Implementierungen für ein Framework entwickelt, welches eine effiziente Simulation von Monte-Carlo-Simulationen mit Markovketteneigenschaften auf hybriden Architekturen ermöglicht. Diese Konzepte umfassen eine Simulations-Zustandsmaschine mit Unterstützung verschiedener Architekturen und eine Schnittstelle für mehrere simultan zu simulierende Monte-Carlo-Schritte. Darüber hinaus wurde die zu Grunde liegende Parallelisierung einer Grand-Canonical Monte-Carlo-Simulation auf hybriden Architekturen weiterentwickelt und beschleunigt. Die entstandene Implementierung wurde auf die erzielbare Leistung überprüft. Alle im Rahmen dieser Arbeit entstandenen Simulationsergebnisse wurden durch Vergleich mit einer Referenzimplementierung auf ihre Korrektheit überprüft.

Im Vergleich zu einer rein seriellen Simulation wurde dabei ein Speedup durch den Einsatz von hybriden Architekturen von 494x erreicht.

3 Projekte



3.1 RM-BIST: Reliability Monitoring and Managing Built-In Self Test

seit 07.2012, DFG-Projekt: WU 245/13-1

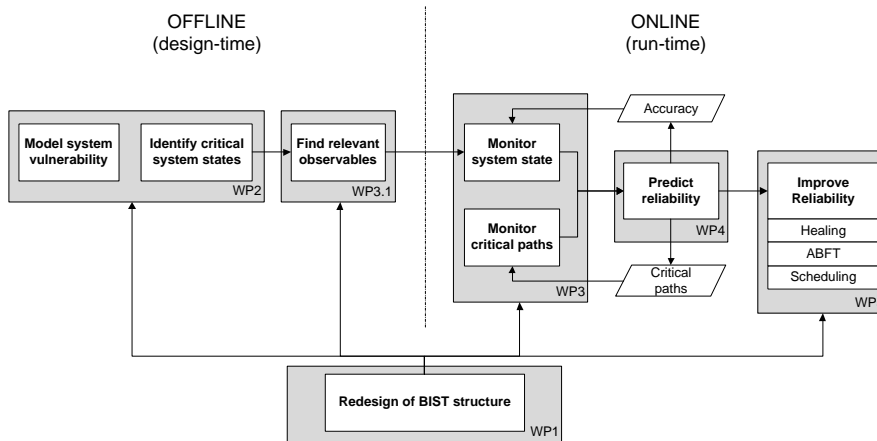


Projektmitarbeiter: R. Baranowski, M. Imhof, A. Cook, C. Liu

Das Hauptziel des RM-BIST Projekts ist es, die Test-Infrastruktur (Design for Test, DFT), die primär für den Produktionstest verwendet wird, zur Zuverlässigkeitsinfrastruktur (Design for Reliability, DFR) zu erweitern. Existierende Infrastruktur für den eingebetteten Selbsttest (Built-In Self-Test, BIST) wird durch geeignete Anpassungen während der Lebenszeit eines VLSI Systems wiederverwendet, um eine Systemüberwachung, die Identifikation kritischer Systemzustände und eine Vorhersage der Zuverlässigkeit zu ermöglichen. Zusätzlich wird die modifizierte Infrastruktur genutzt, um die Zuverlässigkeit gezielt zu steigern. Der zu entwickelnde Ansatz soll Fehler identifizieren und überwachen, welche die Systemzuverlässigkeit in verschiedenen Zeitskalen beeinflussen. Durch Prognostizierung sollen diese Fehler gleichzeitig abgemildert werden. Es werden unterschiedliche zuverlässigkeitsreduzierende Effekte behandelt, wie strahlungsinduzierte Soft Errors, intermittierende Fehler aufgrund von Prozess- und Laufzeitvariationen, Al-

terung von Transistoren und Elektromigration. Es ist das Ziel, eine Laufzeitunterstützung für die Überwachung und Steigerung der Zuverlässigkeit mittels Modifikation und Wiederverwendung existierender Infrastruktur für den eingebetteten Selbsttest unter minimalen Kosten bereitzustellen.

Im Rahmen von RM-BIST wurde eine nichtinvasive Überwachungsmethode entwickelt, die Alterungseffekte in digitalen Schaltungen anhand von Verhaltensmustern akkurat voraussagt.



Kooperationspartner: Karlsruher Institut für Technologie (KIT)

3.2 ROCK: Robuste On-Chip-Kommunikation durch hierarchische Online-Diagnose und -Rekonfiguration

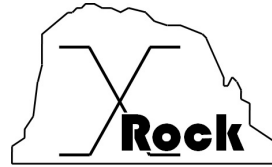
seit 08.2011, DFG-Projekt: WU 245/12-1

DFG Deutsche Forschungsgemeinschaft

Projektmitarbeiter: A. Dalirsani, M. Imhof, N. Hatami

Das Ziel des Projekts ROCK ist es, robuste Architekturen und zugehörige Entwurfsverfahren für Networks-on-Chip (NoC) zu untersuchen und prototypisch zu entwickeln, um der mit steigender Integrationsdichte zunehmenden Störanfälligkeit der On-Chip-Kommunikationsinfrastruktur gegenüber Umgebungsstrahlung, Übersprechen, Fertigungsvariabilitäten und Alterungseinflüssen zu begegnen. Dazu wird ein Ansatz verfolgt, der im Betrieb (online) Fehlerdiagnose und zielgerichtete Rekonfiguration zur Fehlerbehebung in hierarchischer Weise über die Netzwerkschichten durchführt und dabei schichtenübergreifend eine optimale Kombination von Maßnahmen auswählt. Die Optimalität umfasst die energieminimale Einhaltung von Zusicherungen bezüglich der Performability des Netzwerks, welche unter Einbeziehung der Kommunikationsperformanz und der Fehlerstatistik für das Forschungsgebiet der NoCs neu zu definieren ist. Weitere Anforderungen

bestehen in der fehlertoleranten Auslegung der Diagnose- und Rekonfigurationssteuerung sowie in ihrer Transparenz für die über das NoC kommunizierenden Anwendungsprozesse. Die NoC-Architekturen und -Verfahren sind bezüglich Optimalität und Randbedingungen auch im Fehlerfall zu bewerten. Diese Bewertung beruht auf zu schaffenden funktionalen Fehlermodellen, welche mit Netzwerkmodellen zu einer NoC-Fehlersimulation integriert werden.



In der Abteilung Rechnerarchitektur wurde mit der Modellierung von schichtenübergreifenden Fehlern begonnen, um eine Zuordnung von strukturellen Fehlern niedriger Schichten auf funktionale Fehler höherer Schichten herzustellen. Mittels formaler Analyse von strukturellen Fehlern in der Gatterebenen-Netzliste eines NoC Switch sowie in dessen Kommunikationsverbindungen wurde deren Einfluss auf den Betrieb eines NoC untersucht.

Im Zuge des zweiten Arbeitspakets wurde eine Diagnosemethode in der Netzwerkinfrastruktur implementiert. Die Ermittlung der betroffenen Funktionalität des Switches sowie, ob diese durch einen transienten oder permanenten Fehler betroffen ist, ermöglicht eine Bestimmung der Restfunktionalität des Switches. Mit Hilfe eines Ansatzes für strukturelle Diagnose wird die Position des Fehlers ermittelt. Eine Methode liefert Rückschluss darüber, welche Switchfunktionalität durch den Fehler betroffen ist und welche unberührt bleibt.

Kooperationspartner: Universität Stuttgart – Abteilung Eingebettete Systeme (ES)

3.3 INTESYS: Modellbasierte Testdatenerzeugung zur effizienten Prüfung integrierter Hardware-/Softwaresysteme

10.2010 – 09.2013, DFG-Projekt: WU 245/9-1



Projektmitarbeiter: L. Rodríguez Gómez

Funktionen in eingebetteten Systemen werden heutzutage immer häufiger durch integrierte Hardware-/Softwaresysteme realisiert, insbesondere ist dies auch bei Prozessautomatisierungssystemen zu beobachten. Merkmal dieser Hardware-/Softwaresysteme ist die enge Kopplung mit technischen Prozessen, wie etwa in den Steuerungen und Regelungen eines Kraftfahrzeugs, die eine zeitabhängige und diskret-kontinuierliche Dynamik aufweisen. Die Prüfung der korrekten Funktionalität des Entwurfs als auch des gefertigten Systems macht aufgrund der hohen

Komplexität einen hohen Anteil der Gesamtkosten aus. Es wird daher ein effizientes Vorgehen zur gemeinsamen Prüfung von Hardware und Software dieser eingebetteten Systeme benötigt, das die einzelnen Aspekte Validierung, Debug, Diagnose und Test in sich vereint. Dies beinhaltet die automatisierte Ermittlung von Testdaten, welche Fehler zügig aufdecken und gleichzeitig eine hohe Produktqualität sicherstellen. Modellbasierte und modellgetriebene Entwicklungs- und Testverfahren gewinnen sowohl in der Forschung als auch in der industriellen Praxis an Bedeutung, da sie die schrittweise Entwicklung von den Anforderungen bis hin zur Implementierung systematisieren. Durch Nutzung von Modellen, welche die Funktionen integrierter Hardware-/Softwaresysteme beschreiben, wird eine höhere Effizienz der Prüfung angestrebt. Wesentliche Ziele des Forschungsvorhabens sind die Testdatengenerierung für Funktion und Struktur aus einem Systemmodell eingebetteter Hardware-/Softwaresysteme sowie die automatische Auswertung und Fehlerdiagnose. Dies stellt eine Herausforderung dar, welche bis heute nicht zufrieden stellend gelöst werden konnte.

Das Hauptziel des INTESYS-Projekts war, in Zusammenarbeit mit dem Institut für Software- und Automatisierungstechnik (IAS) ein Modell zu entwickeln, welches Software- und Hardware-Eigenschaften und deren Abhängigkeiten darstellt. Die Modellierung von Systemen durch Informationsflüsse liefert die Möglichkeit, sowohl die Hardware- als auch die Softwareaspekte des Systems in das Modell zu integrieren, und somit die Grundlagen für eine effiziente Testmustererzeugung zu erstellen. Eine Informationsfluss-basierte Testmustermenge erfüllt Hardware- und Softwaremetriken, und garantiert so eine höhere Systemqualität.

3.4 OASIS: Online-Ausfallvorhersage mikroelektronischer Schaltungen mittels Alterungssignaturen

seit 03.2011, DFG-Projekt: WU 245/11-1



Projektmitarbeiter: M. Kochte, R. Baranowski, N. Hatami, C. Liu

Mechatronische Systeme, wie sie im Automobilbereich oder im industriellen Umfeld eingesetzt werden, benötigen zuverlässige mikroelektronische Lösungen, die mit zunehmender Miniaturisierung immer größeren Aufwand erfordern. Die zunehmende Verkleinerung von Strukturgrößen resultiert einerseits in einer steigenden Relevanz von physikalischen Alterungseffekten und andererseits in einem erhöhten Einfluss schwankender Technologieparameter auf die Lebensdauer. Die Lebensdauer mikroelektronischer Komponenten unterschreitet dabei mitunter die der mechanischen und elektromechanischen Bestandteile eines mechatronischen Systems.

Alterungsprozesse in mikroelektronischen Schaltungen hängen nicht nur von ihrer jeweiligen Auslastung, sondern auch stark von Fertigungsvariationen und den Umgebungsbedingungen wie beispielsweise der Temperatur und mechanischem Stress ab. Gängige statistische Verfahren zur Lebensdauerschätzung während der

Entwicklung, der Fertigung und der Produktqualifizierung mittels Extrapolation minimal spezifizierter Betriebsdauern vernachlässigen diese individuellen Alterungseinflüsse. Sie können die zeitkontinuierliche Online-Überwachung des tatsächlichen Alters eines mikroelektronischen Systems nicht ersetzen.

Im Rahmen des dreijährigen OASIS-Projekts werden in Zusammenarbeit mit dem Institut für Mikroelektronik Stuttgart (IMS) Methoden entwickelt werden, um mittels Integration geeigneter Sensoren in aktiver Chipfläche eine zeitkontinuierliche Bestimmung (Online-Monitoring) des individuellen Lebensalters des mikroelektronischen Systems zu ermöglichen und rechtzeitig durch geeignete Konfiguration Ausfällen vorbeugen zu können. Die Einbindung von Test- und Messstrukturen in den Halbleiterchip gestattet die Protokollierung sowohl der tatsächlichen Umgebungsbedingungen als auch unterschiedlicher alterungsbedingter Degradationseffekte.

Davon ungeachtet hängt die Lebensdauer mikroelektronischer Schaltungen auch stark von der Streuung kritischer Prozessparameter bei der Fertigung ab; sie definieren deren intrinsische Lebensdauer. Oben genannte Monitore müssen somit unabhängig von diesen Technologieschwankungen Zuverlässigkeitsinformationen liefern, die Rückschlüsse auf den Alterungs- und Gefährdungszustand einer Schaltung ermöglichen. Die gezielte Produktion von Technologiedurchläufen, die sich an den Grenzen des Fertigungsparameterraumes bewegen, und die Entwicklung und Durchführung von end-of-life Tests mit hohen Beschleunigungsfaktoren ermöglichen sowohl die Alterungsmodellierung als auch die Validierung der Monitorschaltungen.

Das Zusammenführen dieser Zuverlässigkeitsdaten in einer Monitoring-Infrastruktur, die Analyse von charakteristischen Alterungsmerkmalen unterschiedlicher Ausfallmechanismen und deren Gewichtung durch ein kumulatives Alterungsmodell erlauben eine Abschätzung des momentanen Alterungszustandes einer Schaltung.

Die Indikation des verbleibenden Lebensalters ermöglicht wirtschaftlichere systemtechnische Maßnahmen und Wartungskonzepte zur Steigerung der Zuverlässigkeit, wie beispielsweise die selbstindizierte Austauschforderung einzelner Komponenten oder das Zuhalten vorher ruhender Redundanzen.

3.5 REALTEST: Test und Zuverlässigkeit nanoelektronischer Systeme

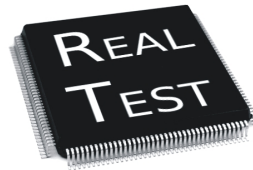
01.2006 – 07.2013, DFG-Projekt: WU 245/5-1, 5-2



Projektmitarbeiter: M. Imhof, A. Kakarala, A. Mumtaz, E. Schneider, M. Wagner

Zukünftige nanoelektronische Schaltungen zeigen eine hohe Empfindlichkeit gegenüber sog. Soft Errors, die hier nicht nur die Speicherfelder betrifft, sondern insbesondere auch Speicherelemente in freier Logik (z.B. Flip-Flops). Eines der Ziele von Realtest ist die Entwicklung von robusten Registern für freie Logik die eine

bessere Flächeneffizienz besitzen als existierende Ansätze. Am Institut für Technische Informatik wurde das Teilprojekt A2, SATIN - Statistische Testalgorithmen, bearbeitet.



Mit zunehmender Skalierung werden nanoelektronische Systeme immer anfälliger für statistische Prozessvariationen und die daraus resultierenden Implikationen können beim Entwurf und Test nicht mehr ignoriert werden. Daher ist es notwendig, dass aktuelle Entwurfswerkzeuge den gesamten Parameterraum durch Berücksichtigen der Variation abdecken. Um die Auswirkungen von Fehlern unter Variation untersuchen zu können und die Qualität von Testmustern zu bewerten und zu validieren, wurden Fehlersimulationsverfahren entwickelt, die die Fehlerabdeckung hochpräzise in Gegenwart von unbekanntem Werten und massiven statistischen Prozessvariationen bestimmen. In enger Kooperation mit den Projektpartnern ist dabei ein iteratives Verfahren zur statistischen Testmuster-generierung entstanden, welches nachweislich Mustermengen mit hoher Qualität und hoher Schaltungsabdeckung, sowie einer hohen statistischen Fehlerabdeckung im Parameterraum generiert. Durch die Parallelisierung der Testalgorithmen und die Portierung auf aktuelle Rechnerarchitekturen kann das implementierte Verfahren um mehrere Größenordnungen beschleunigt ausgeführt und dadurch auch für große industrielle Schaltkreise angewendet werden. Desweiteren wurde eine fehlertolerante Hardwarestruktur entworfen, welche bei geringem Flächenbedarf Single Event Upsets (SEUs) in Registern nicht nur erkennen, sondern auch online korrigieren kann. Es wurde gezeigt, dass durch die Wiederverwendung dieser Register beim Offline-Test sowohl Testdauer als auch die Größe der Testmengen deutlich reduziert und die Leistungsaufnahme während der Testdurchführung verringert wird. Zur Lokalisierung von Fehlern während der Testausführung wurde zudem ein fehlermodellunabhängiges Diagnoseverfahren entwickelt, welches mithilfe von partiellem pseudo-erschöpfenden Test Fehler in Schaltungsstrukturen effizient und hochgenau identifiziert.

Zusammenfassend lässt sich sagen, dass während des Berichtszeitraumes in Kooperation mit den Projektpartnern erfolgreich unterschiedliche Test-Verfahren und Algorithmen speziell für Systeme mit großen Parametervariationen untersucht und entwickelt worden sind, die eine deutlich verbesserte Fehlererfassung erzielen.

Kooperationspartner: Fraunhofer IIS-EAS Dresden, Universität Freiburg, Universität Paderborn, Universität Passau

3.6 OTERA: Online Test Strategies for Reliable Reconfigurable Architectures

seit 10.2010, DFG-Projekt: WU 245/10-1, 10-2



Projektmitarbeiter: M. Kochte, M. Imhof, F. Cervellera, E. Schneider

Das DFG-Schwerpunktprogramm 1500 „Design and Architectures of Dependable Embedded Systems - A Grand Challenge in the Nano Age“ erforscht effiziente Methoden zur Sicherung der Verlässlichkeit eingebetteter Systeme, die von der Schaltungs- bis zur Systemebene reichen. Im Rahmen dieses Schwerpunktprogramms untersucht das Institut für Technische Informatik Methoden des Online-Tests und der Zuverlässigkeitssteigerung für rekonfigurierbare Architekturen.

Dynamisch rekonfigurierbare Architekturen ermöglichen eine signifikante Beschleunigung unterschiedlichster Anwendungen durch Anpassung und Optimierung ihrer Hardware-Struktur zur Laufzeit. Der zuverlässige Betrieb dieser Architekturen wird jedoch durch permanente, intermittierende und transiente Fehler gefährdet. Dies umfasst latente Fehler, im Verlauf des Betriebs auftretende Fehler durch Alterung, sowie intermittierende und transiente Effekte (z.B. aufgrund hoher Temperatur, Strahlung, Schwankungen in der Stromversorgung, usw.).

In der ersten Förderphase des OTERA-Projekts wurden permanente Fehler behandelt. Der Fokus der zweiten Förderphase OTERA-II „Pro-Active Self-Defense by Monitoring, Testing, and Failure Prediction (Proaktive Selbstverteidigung durch Monitoring, Test und Fehlervorhersage)“ zielt auf die Steigerung der Zuverlässigkeit rekonfigurierbarer Systeme zur Laufzeit durch den Einsatz von System-Monitoren, Verfahren zur Zuverlässigkeitsabschätzung und pro-aktiver Selbstverteidigungsmaßnahmen. Somit werden Beeinträchtigungen im Betrieb durch permanente, intermittierende und transiente Fehler minimiert. Dies wird durch die kontinuierliche Überwachung des Systems sowie die Abschätzung und Vorhersage des Systemzustands erreicht. Es werden basierend auf dem aktuellen und dem prognostizierten Systemzustand zuverlässigkeitssteigernde Maßnahmen bereitgestellt, die vom System zur Laufzeit selbsttätig ausgewählt und angewendet werden. Darüber hinaus werden in OTERA-II effiziente Online-Testmethoden für rekonfigurierbare Architekturen eingesetzt, die im Rahmen der ersten Förderphase entwickelt und implementiert wurden.



Kooperationspartner: Karlsruher Institut für Technologie (KIT)

3.7 SimTech: Cluster of Excellence

"Simulation-Technology": Mapping Simulation Algorithms to NoC MPSoC Computers



seit 06.2008, SimTech Cluster of Excellence

Project staff: C. Braun, A. Schöll

Since the beginning of the DFG Cluster of Excellence „Simulation Technology“ (SimTech) at the University of Stuttgart in 2008, the Institute of Computer Architecture and Computer Engineering (ITI, RA) is an active part of the research within the Stuttgart Research Center for Simulation Technology (SRC SimTech). The institute's research includes the development of fault tolerant simulation algorithms for new, tightly-coupled many-core computer architectures like GPUs, the acceleration of existing simulations on such architectures, as well as the mapping of complex simulation applications to innovative reconfigurable heterogeneous computer architectures. Within the research cluster, Hans-Joachim Wunderlich acts as a principal investigator (PI) and he co-coordinates the research activities of the SimTech Project Network PN2 „High-Performance Simulation across Computer Architectures“. This project network is unique in terms of its interdisciplinary nature and its interfaces between the participating researchers and projects. Scientists from computer science, chemistry, physics and chemical engineering work together to develop and provide new solutions for some of the major challenges in simulation technology. The classes of computational problems treated within project network PN2 comprise quantum mechanics, molecular mechanics, electronic structure methods, molecular dynamics, Markov-chain Monte-Carlo simulations and polarizable force fields.



In the first phase of this project, Algorithm-Based Fault-Tolerance (ABFT) schemes have been modified and adapted to match the challenging characteristics of the many-core hardware. Simulation experiments based on structural fault injection have shown, that ABFT techniques for basic linear algebra operations are able to cover all detectable faults in the floating-point unit. Simulation algorithms from the fields of thermodynamics and quantum chemistry have been mapped to GPGPU architectures, with substantial speedups.

The second phase of the project will concentrate on hardening simulation algorithms against faults in the control parts of on-chip multi- and many-core systems. Both, the tightly coupled, massively parallel architectures like GPGPUs and

the communication-centric NoC-Chip-Multiprocessors (NoC-CMP) will be investigated to come up with centralized and decentralized fault tolerant control schemes. While in the first project phase mapping of selected simulation applications and algorithms to many-core architectures for performance was a main activity, the second phase will add fault tolerance and evaluate the reliability gain of these applications.

3.8 Diana: Durchgängige Diagnosefähigkeit für Elektroniksysteme im Automobil



Bundesministerium
für Bildung
und Forschung



07.2010 - 07.2013, BMBF-Projekt

Projektmitarbeiter: A. Cook, D. Ull

AUDI AG, Continental AG, Infineon Technologies AG und ZMD AG erforschen mit Förderung des BMBF, wie sich die Analyse- und Diagnosefähigkeiten von elektronischen Steuergeräten im Fahrzeug verbessern lassen. Unter der Leitung von Infineon arbeiten die vier Partner bis 2013 daran, wie eine gezielte Fehlererkennung und damit schnellere Fehlerbehebung beim Automobilhersteller bzw. in der Werkstatt möglich sind. DIANA steht für "Durchgängige Diagnosefähigkeit in Halbleiterbauelementen und übergeordneten Systemen zur Analyse von permanenten und sporadischen Fehlern im Gesamtsystem Automobil". Die Projektpartner werden dabei von zahlreichen Forschungseinrichtungen und Universitäten unterstützt: dem Fraunhofer-Institut für Integrierte Schaltungen Dresden, der Universität der Bundeswehr München und den Universitäten Cottbus, Erlangen-Nürnberg und Stuttgart.

Die softwarebasierte Selbsttestmethode wurde so umgesetzt, dass die zu prüfende Struktur, und nicht nur deren Funktion getestet wird. Dies ermöglicht die Modellierung struktureller Fehler, und somit auch die Bestimmung einer strukturellen Fehlererfassung. Um strukturelle Logikdiagnose durchzuführen, wurde eine sequentielle Pipelinestruktur des Zielprozessors in eine kombinatorische Darstellungsform überführt. Auf diese Weise können bestehende kombinatorische Diagnosealgorithmen angewandt werden, welche hohe diagnostische Auflösungen erreichen. Ein wichtiger Vorteil des POINTER-Diagnosealgorithmus ist, dass er unabhängig vom verwendeten Fehlermodell ist. So können selbst Fehler lokalisiert werden, die bei der Testmustererzeugung nicht berücksichtigt wurden. Im Anschluss wurden die erarbeiteten Methoden an einem FPGA-Demonstrator implementiert.

3.9 AUTOTEST: Structural Field Test for Automotive Applications



Audi

06.2009 - 07.2013, AUDI-Projekt

Projektmitarbeiter: A. Cook, D. Ull

Innovationen in der Automobilindustrie werden durch Fortschritte in der Elektronik und den weit verbreiteten Einsatz von elektronischen Steuergeräten vorangetrieben. Das Ziel dieses Projekts ist es, Halbleiter-Tests und Diagnose-Mechanismen auf Systemebene zur Verfügung zu stellen, so dass durch Halbleiter-Defekte bedingte Systemausfälle verzögerungsfrei analysiert werden können.

Zunächst wurden die Eigenschaften der bestehenden Testinfrastruktur im TriCore sowie deren Wiederverwendbarkeit für erweiterte Test- und Diagnoseverfahren analysiert. Dies ermöglichte die Erarbeitung von Methoden für den zerstörungsfreien Test und die Diagnose des Chips. Der entwickelte diagnostische Algorithmus analysiert kompaktierte Test-Signaturen, die aus mehrfachen Testmustern bestehen. Dies erlaubt die Zusammenführung diagnostischer Informationen bei der Durchführung eines eingebauten Selbsttests (BIST). Der vorgeschlagene Ansatz erreicht ein hervorragendes Kompaktierungsverhältnis und benötigt nur einen Teil des Hardware-Overheads im Vergleich zu Vorgängermethoden. Dabei behält er die gleiche diagnostische Auflösung bei. Ähnlich nahtlos passt die vorgeschlagene Infrastruktur in die traditionelle BIST Architektur.

Zusätzlich wurden Anpassungen der Testinfrastruktur modelliert, um eine autonome Durchführung diagnostischer Tests ermöglichen. Das entwickelte Modell bildet die wichtigsten Eigenschaften des Testablaufs zur Systemintegration ab. Mithilfe dieser Werkzeuge wurde die Integration der Testverfahren BIST und SBST in das Gesamtsystem Automobil untersucht.

4 Publikationen

4.1 Zeitschriften und Konferenzberichte

4.1.1 Acceleration of Monte-Carlo Molecular Simulations on Hybrid Computing Architectures

C. Braun, S. Holst, J. M. Castillo, J. Gross, and H.-J. Wunderlich

Proc. 30th IEEE International Conference on Computer Design, ICCD 2012, Montreal, Canada, 30.9.-3.10., 2012, pp. 207-212

doi: <http://dx.doi.org/10.1109/ICCD.2012.6378642>

Markov-Chain Monte-Carlo (MCMC) methods are an important class of simulation techniques, which execute a sequence of simulation steps, where each new step depends on the previous ones. Due to this fundamental dependency, MCMC methods are inherently hard to parallelize on any architecture. The upcoming generations of hybrid CPU/GPGPU architectures with their multi-core CPUs and tightly coupled many-core GPGPUs provide new acceleration opportunities especially for MCMC methods, if the new degrees of freedom are exploited correctly. In this paper, the outcomes of an interdisciplinary collaboration are presented, which focused on the parallel mapping of a MCMC molecular simulation from thermodynamics to hybrid CPU/GPGPU computing systems. While the mapping is designed for upcoming hybrid architectures, the implementation of this approach on an NVIDIA Tesla system already leads to a substantial speedup of more than 87x despite the additional communication overheads.

4.1.2 Structural Test and Diagnosis for Graceful Degradation of NoC Switches

Dalirsani, A., Holst, S., Elm, M. and Wunderlich, H.-J.

Journal of Electronic Testing: Theory and Applications (JETTA)

Vol. 28(6), pp. 831-841

doi: <http://dx.doi.org/10.1007/s10836-012-5329-9>

Networks-on-Chip (NoCs) are implicitly fault tolerant and due to their inherent redundancy they can overcome defective cores, links and switches. This effect can be used to increase yield at the cost of reduced performance. In this paper, a new diagnosis method based on the standard flow of industrial volume testing is presented, which is able to identify the intact functions of a defective network switch rather than providing only a pass/fail result for the complete switch. To achieve this, the new method combines for the first time the precision of structural

testing with information on the functional behavior in the presence of defects. This allows to disable defective parts of a switch after production test and use the intact functions. Thereby, only a minimum performance decrease is induced while the yield is increased. According to the experimental results, the method improves the performability of NoCs since 56.86 % and 72.42 % of defects in two typical switch models only impair one switch port. Unlike previous methods for implementing fault tolerant switches, the developed technique does not impose any additional area overhead and is compatible with many common switch designs.

4.1.3 Parallel Simulation of Apoptotic Receptor-Clustering on GPGPU Many-Core Architectures

Braun, C., Daub, M., Schöll, A., Schneider, G. and Wunderlich, H.-J.

Proceedings of the IEEE International Conference on Bioinformatics and Biomedicine (BIBM'12), pp. 1-6

doi: <http://dx.doi.org/10.1109/BIBM.2012.6392661>

Apoptosis, the programmed cell death, is a physiological process that handles the removal of unwanted or damaged cells in living organisms. The process itself is initiated by signaling through tumor necrosis factor (TNF) receptors and ligands, which form clusters on the cell membrane. The exact function of this process is not yet fully understood and currently subject of basic research. Different mathematical models have been developed to describe and simulate the apoptotic receptor-clustering. In this interdisciplinary work, a previously introduced model of the apoptotic receptor-clustering has been extended by a new receptor type to allow a more precise description and simulation of the signaling process. Due to the high computational requirements of the model, an efficient algorithmic mapping to a modern many-core GPGPU architecture has been developed. Such architectures enable high-performance computing (HPC) simulation tasks on the desktop at low costs. The developed mapping reduces average simulation times from months to days (peak speedup of 256x), allowing the productive use of the model in research.

4.1.4 Modeling, Verification and Pattern Generation for Reconfigurable Scan Networks

Baranowski, R., Kochte, M.A. and Wunderlich, H.-J.

Proceedings of the IEEE International Test Conference (ITC'12), pp. 1-9

doi: <http://dx.doi.org/10.1109/TEST.2012.6401555>

Reconfigurable scan architectures allow flexible integration and efficient access to infrastructure in SoCs, e.g. for test, diagnosis, repair or debug. Such scan networks are often hierarchical and have complex structural and functional dependencies. For instance, the IEEE P1687 proposal, known as IJTAG, allows integration of multiplexed scan networks with arbitrary internal control signals. Common approaches for scan verification based on static structural analysis and functional simulation are not sufficient to ensure correct operation of these types of architectures. Hierarchy and flexibility may result in complex or even contradicting con-

figuration requirements to access single elements. Sequential logic justification is therefore mandatory both to verify the validity of a scan network, and to generate the required access sequences. This work presents a formal method for verification of reconfigurable scan architectures, as well as pattern retargeting, i.e. generation of required scan-in data. The method is based on a formal model of structural and functional dependencies. Network verification and pattern retargeting is mapped to a Boolean satisfiability problem, which enables the use of efficient SAT solvers to exhaustively explore the search space of valid scan configurations.

4.1.5 Scan Test Power Simulation on GPGPUs

Holst, S., Schneider, E. and Wunderlich, H.-J.

Proceedings of the 21st IEEE Asian Test Symposium (ATS12), pp. 155-160

doi: <http://dx.doi.org/10.1109/ATS.2012.23>

The precise estimation of dynamic power consumption, power droop and temperature development during scan test require a very large number of time-aware gate-level logic simulations. Until now, such characterizations have been feasible only for rather small designs or with reduced precision due to the high computational demands. We propose a new, throughput-optimized timing simulator on running on GPGPUs to accelerate these tasks by more than two orders of magnitude and thus providing for the first time precise and comprehensive toggle data for industrial-sized designs and over long scan test operations. Hazards and pulse-filtering are supported for the first time in a GPGPU accelerated simulator, and the system can easily be extended to even more sophisticated delay and power models.

4.1.6 Variation-Aware Fault Grading

Czutro, A., Imhof, M.E., Jiang, J., Mumtaz, A., Sauer, M., Becker, B., Polian, I. and Wunderlich, H.-J.

Proceedings of the 21st IEEE Asian Test Symposium (ATS12), pp. 344-349

doi: <http://dx.doi.org/10.1109/ATS.2012.14>

An iterative flow to generate test sets providing high fault coverage under extreme parameter variations is presented. The generation is guided by the novel metric of circuit coverage, calculated by massively parallel statistical fault simulation on GPGPUs. Experiments show that the statistical fault coverage of the generated test sets exceeds by far that achieved by standard approaches.

4.1.7 Reuse of Structural Volume Test Methods for In-System Testing of Automotive ASICs

Cook, A., Ull, D., Elm, M., Wunderlich, H.-J., Randoll, H. and Döhren, S.

Proceedings of the 21st IEEE Asian Test Symposium (ATS12), pp. 214-219

doi: <http://dx.doi.org/10.1109/ATS.2012.32>

The automotive industry has to deal with an increasing amount of electronics in today's vehicles. This paper describes the advantages of structural tests during in-field system test, reusing existing test data and on-chip structures. Demonstration is the embedded test of an ASIC within an automotive control unit, utilizing manufacturing scan-tests.

4.1.8 Accurate X-Propagation for Test Applications by SAT-Based Reasoning

Kochte, M.A., Elm, M. and Wunderlich, H.-J.

IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems
doi: <http://dx.doi.org/10.1109/TCAD.2012.2210422>

Unknown or X-values during test application may originate from uncontrolled sequential cells or macros, from clock or A/D boundaries or from tri-state logic. The exact identification of X-value propagation paths in logic circuits is crucial in logic simulation and fault simulation. In the first case, it enables the proper assessment of expected responses and the effective and efficient handling of X-values during test response compaction. In the second case, it is important for a proper assessment of fault coverage of a given test set and consequently influences the efficiency of test pattern generation. The commonly employed n-valued logic simulation evaluates the propagation of X-values only pessimistically, i.e. the X-propagation paths found by n-valued logic simulation are a superset of the actual propagation paths. This paper presents an efficient method to overcome this pessimism and to determine accurately the set of signals which carry an X-value for an input pattern. As examples, it investigates the influence of this pessimism on the two applications X-masking and stuck-at fault coverage assessment. The experimental results on benchmark and industrial circuits assess the pessimism of classic algorithms and show that these algorithms significantly overestimate the signals with X-values. The experiments show that overmasking of test data during test compression can be reduced by an accurate analysis. In stuck-at fault simulation, the coverage of the test set is increased by the proposed algorithm without incurring any overhead.

4.1.9 Efficient Variation-Aware Statistical Dynamic Timing Analysis for Delay Test Applications

Wagner, M. and Wunderlich, H.-J.

Proceedings of the Conference on Design, Automation and Test in Europe (DATE13), pp. 276-281
doi: <http://dx.doi.org/10.7873/DATE.2013.069>

Increasing parameter variations, caused by variations in process, temperature, power supply, and wear-out, have emerged as one of the most important challenges in semiconductor manufacturing and test. As a consequence for gate delay testing, a single test vector pair is no longer sufficient to provide the required low test escape probabilities for a single delay fault. Recently proposed statistical test

generation methods are therefore guided by a metric, which defines the probability of detecting a delay fault with a given test set. However, since run time and accuracy are dominated by the large number of required metric evaluations, more efficient approximation methods are mandatory for any practical application. In this work, a new statistical dynamic timing analysis algorithm is introduced to tackle this problem. The associated approximation error is very small and predominantly caused by the impact of delay variations on path sensitization and hazards. The experimental results show a large speedup compared to classical Monte Carlo simulations.

4.1.10 Accurate QBF-based Test Pattern Generation in Presence of Unknown Values

Hillebrecht, S., Kochte, M.A., Erb, D., Wunderlich, H.-J. and Becker, B.

Proceedings of the Conference on Design, Automation and Test in Europe (DATE13), pp. 436-441

doi: <http://dx.doi.org/10.7873/DATE.2013.098>

Unknown (X) values may emerge during the design process as well as during system operation and test application. Sources of X-values are for example black boxes, clockdomain boundaries, analog-to-digital converters, or uncontrolled or uninitialized sequential elements. To compute a detecting pattern for a given stuck-at fault, well defined logic values are required both for fault activation as well as for fault effect propagation to observing outputs. In presence of X-values, classical test generation algorithms, based on topological algorithms or formal Boolean satisfiability (SAT) or BDD-based reasoning, may fail to generate testing patterns or to prove faults untestable. This work proposes the first efficient stuck-at fault ATPG algorithm able to prove testability or untestability of faults in presence of X-values. It overcomes the principal inaccuracy and pessimism of classical algorithms when X-values are considered. This accuracy is achieved by mapping the test generation problem to an instance of quantified Boolean formula (QBF) satisfiability. The resulting fault coverage improvement is shown by experimental results on ISCAS benchmark and larger industrial circuits.

4.1.11 Scan Pattern Retargeting and Merging with Reduced Access Time

Baranowski, R., Kochte, M.A. and Wunderlich, H.-J.

Proceedings of IEEE European Test Symposium (ETS13), pp. 39-45

doi: <http://dx.doi.org/10.1109/ETS.2013.6569354>

Efficient access to on-chip instrumentation is a key enabler for post-silicon validation, debug, bringup or diagnosis. Re-configurable scan networks, as proposed by e.g. the IEEE Std. P1687, emerge as an effective and affordable means to cope with the increasing complexity of on-chip infrastructure. To access an element in a reconfigurable scan network, a scan-in bit sequence must be generated according to the current state and structure of the network. Due to sequential and

combinational dependencies, the scan pattern generation process (pattern retargeting) poses a complex decision and optimization problem. This work presents a method for scan pattern generation with reduced access time. We map the access time reduction to a pseudo-Boolean optimization problem, which enables the use of efficient solvers to exhaustively explore the search space of valid scan-in sequences. This is the first automated method for efficient pattern retargeting in complex reconfigurable scan architectures such as P1687-based networks. It supports the concurrent access to multiple target scan registers (access merging) and generates reduced (short) scan-in sequences, considering all sequential and combinational dependencies. The proposed method achieves an access time reduction by up to 88x or 2.4x in average w.r.t. unoptimized satisfying solutions.

4.1.12 Efficacy and Efficiency of Algorithm-Based Fault Tolerance on GPUs

Wunderlich, H.-J., Braun, C. and Halder, S.

Proceedings of IEEE International On-Line Testing Symposium (IOLTS13), pp. 240-243

doi: <http://dx.doi.org/10.1109/IOLTS.2013.6604090>

Computer simulations drive innovations in science and industry, and they are gaining more and more importance. However, their high computational demand generates extraordinary challenges for computing systems. Typical highperformance computing systems, which provide sufficient performance and high reliability, are extremely expensive. Modern GPUs offer high performance at very low costs, and they enable simulation applications on the desktop. However, they are increasingly prone to transient effects and other reliability threats. To fulfill the strict reliability requirements in scientific computing and simulation technology, appropriate fault tolerance measures have to be integrated into simulation applications for GPUs. Algorithm-Based Fault Tolerance on GPUs has the potential to meet these requirements. In this work we investigate the efficiency and the efficacy of ABFT for matrix operations on GPUs. We compare ABFT against fault tolerance schemes that are based on redundant computations and we evaluate its error detection capabilities.

4.1.13 Test Strategies for Reliable Runtime Reconfigurable Architectures

Bauer, L., Braun, C., Imhof, M.E., Kochte, M.A., Schneider, E., Zhang, H., Henkel, J. and Wunderlich, H.-J.

IEEE Transactions on Computers Vol. 62(8), pp. 1494-1507

doi: <http://dx.doi.org/10.1109/TC.2013.53>

FPGA-based reconfigurable systems allow the online adaptation to dynamically changing runtime requirements. The reliability of FPGAs, being manufactured in latest technologies, is threatened by soft errors, as well as aging effects and latent defects. To ensure reliable reconfiguration, it is mandatory to guarantee the

correct operation of the reconfigurable fabric. This can be achieved by periodic or on-demand online testing. This paper presents a reliable system architecture for runtime-reconfigurable systems, which integrates two non-concurrent online test strategies: Pre-configuration online tests (PRET) and post-configuration online tests (PORT). The PRET checks that the reconfigurable hardware is free of faults by periodic or on-demand tests. The PORT has two objectives: It tests reconfigured hardware units after reconfiguration to check that the configuration process completed correctly and it validates the expected functionality. During operation, PORT is used to periodically check the reconfigured hardware units for malfunctions in the programmable logic. Altogether, this paper presents PRET, PORT, and the system integration of such test schemes into a runtime-reconfigurable system, including the resource management and test scheduling. Experimental results show that the integration of online testing in reconfigurable systems incurs only minimum impact on performance while delivering high fault coverage and low test latency.

4.1.14 Module Diversification: Fault Tolerance and Aging Mitigation for Runtime Reconfigurable Architectures

Zhang, H., Bauer, L., Kochte, M.A., Schneider, E., Braun, C., Imhof, M.E., Wunderlich, H.-J. and Henkel, J.

Proc. IEEE International Test Conference (ITC13)

doi: <http://dx.doi.org/10.1109/TEST.2013.6651926>

Runtime reconfigurable architectures based on Field-Programmable Gate Arrays (FPGAs) are attractive for realizing complex applications. However, being manufactured in latest semiconductor process technologies, FPGAs are increasingly prone to aging effects, which reduce the reliability of such systems and must be tackled by aging mitigation and application of fault tolerance techniques. This paper presents module diversification, a novel design method that creates different configurations for runtime reconfigurable modules. Our method provides fault tolerance by creating the minimal number of configurations such that for any faulty Configurable Logic Block (CLB) there is at least one configuration that does not use that CLB. Additionally, we determine the fraction of time that each configuration should be used to balance the stress and to mitigate the aging process in FPGA-based runtime reconfigurable systems. The generated configurations significantly improve reliability by fault-tolerance and aging mitigation.

4.2 Workshop-Beiträge

4.2.1 Fault Modeling in Testing

Holst, S., Kochte, M.A. and Wunderlich, H.-J.

RAP Day Workshop, DFG SPP 1500, Munich, December 21st, 2012

4.2.2 Cross-Layer Dependability Modeling and Abstraction in Systems on Chip

Herkersdorf, A., Engel, M., Glaß, M., Henkel, J., Kleeberger, V.B., Kochte, M.A., Kühn, J.M., Nassif, S.R., Rauchfuss, H., Rosenstiel, W., Schlichtmann, U., Shafique, M., Tahoori, M.B., Teich, J., Wehn, N., Weis, C. and Wunderlich, H.-J.

Selse-9: The 9th Workshop on Silicon Errors in Logic - System Effects, March 26-27, 2013

The Resilience Articulation Point (RAP) model aims at provisioning researchers and developers with a probabilistic fault abstraction and error propagation framework covering all hardware/software layers of a System on Chip. RAP assumes that physically induced faults at the technology or CMOS device layer will eventually manifest themselves as a single or multiple bit flip(s). When probabilistic error functions for specific fault origins are known at the bit or signal level, knowledge about the unit of design and its environment allow the transformation of the bit-related error functions into characteristic higher layer representations, such as error functions for data words, Finite State Machine (FSM) state, macro interfaces or software variables. Thus, design concerns at higher abstraction layers can be investigated without the necessity to further consider the full details of lower levels of design. This paper introduces the ideas of RAP based on examples of radiation induced soft errors in SRAM cells and sequential CMOS logic. It shows by example how probabilistic bit flips are systematically abstracted and propagated towards higher abstraction levels up to the application software layer, and how RAP can be used to parameterize architecture level resilience methods.

4.2.3 Adaptive Test and Diagnosis of Intermittent Faults

Cook, A., Rodriguez, L., Hellebrand, S., Indlekofer, T. and Wunderlich, H.-J.

14th Latin American Test Workshop (LATW 2013), Cordoba, Argentina, April 3rd - 5th, 2013

